

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): CHAKIHARA, et al.
Serial No.: Not yet assigned
Filed: July 30, 2003
Title: A SEMICONDUCTOR EMORY DEVICE AND A METHOD OF
MANUFACTURING THE SAME, A METHOD OF
MANUFACTURING A VERTICAL MISFET AND A VERTICAL
MISFET, AND A METHOD OF MANUFACTURING A
SEMICONDUCTOR DEVICE AND A SEMICONDUCTOR
DEVICE
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

July 30, 2003

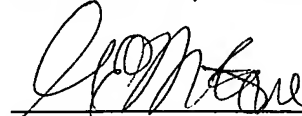
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s)
hereby claim(s) the right of priority based on Japanese Patent Application No.(s)
2002-224254, filed July 31, 2002 and 2003-097210 filed March 31, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/alb
Attachment
(703) 312-6600

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月31日

出 願 番 号

Application Number:

特願2002-224254

[ST.10/C]:

[JP2002-224254]

出 願 人

Applicant(s):

株式会社日立製作所

株式会社日立超エル・エス・アイ・システムズ

2003年 2月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011596

【書類名】	特許願
【整理番号】	H02010161
【提出日】	平成14年 7月31日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 27/10
【発明者】	
【住所又は居所】	東京都小平市上水本町5丁目22番1号 株式会社日立 超エル・エス・アイ・システムズ内
【氏名】	茶木原 啓
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目20番1号 株式会社日立 製作所 半導体グループ内
【氏名】	奥山 幸祐
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目20番1号 株式会社日立 製作所 半導体グループ内
【氏名】	茂庭 昌弘
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目20番1号 株式会社日立 製作所 半導体グループ内
【氏名】	水野 真
【発明者】	
【住所又は居所】	東京都小平市上水本町5丁目22番1号 株式会社日立 超エル・エス・アイ・システムズ内
【氏名】	岡本 圭司
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目20番1号 株式会社日立 製作所 半導体グループ内
【氏名】	吉田 正義

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 高橋 保彦

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項 1】 一対の相補性データ線とワード線との交差部に配置された第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備え、前記第 1 駆動 M I S F E T および前記第 1 縦型 M I S F E T と、前記第 2 駆動 M I S F E T および前記第 2 縦型 M I S F E T とが交差結合したメモリセルを有する半導体記憶装置であって、

前記第 1 および第 2 転送 M I S F E T と、前記第 1 および第 2 駆動 M I S F E T は、半導体基板の主面に形成され、

前記第 1 および第 2 縦型 M I S F E T は、前記第 1 および第 2 転送 M I S F E T と、前記第 1 および第 2 駆動 M I S F E T のそれぞれよりも上部に形成され、

前記第 1 縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 1 積層体に形成されたソース、チャネル領域およびドレインと、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第 2 縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 2 積層体に形成されたソース、チャネル領域およびドレインと、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第 1 および第 2 縦型 M I S F E T のそれぞれのソースは、前記第 1 および第 2 積層体よりも上部に形成された電源電圧線に電氣的に接続されていることを特徴とする半導体記憶装置。

【請求項 2】 前記第 1 転送 M I S F E T のソース、ドレインの一方に電氣的に接続される前記相補性データ線の一方と、前記第 2 転送 M I S F E T のソース、ドレインの一方に電氣的に接続される前記相補性データ線の他方は、前記電源電圧線と同一の配線層に形成されていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記第 1 および第 2 転送 M I S F E T のそれぞれのゲート電極に電氣的に接続される前記ワード線は、前記電源電圧線および前記相補性データ線よりも上層の配線層に形成されていることを特徴とする請求項 1 又は 2 に記

載の半導体記憶装置。

【請求項 4】 前記第 1 および第 2 駆動 M I S F E T のそれぞれのソースに電氣的に接続される基準電圧線は、前記ワード線と同一の配線層に形成されていることを特徴とする請求項 1 ～ 3 のうちの何れか一項に記載の半導体記憶装置。

【請求項 5】 前記基準電圧線は、前記第 1 駆動 M I S F E T のソース電氣的に接続される第 1 基準電圧線と、前記第 2 駆動 M I S F E T のソースに電氣的に接続される第 2 基準電圧線とからなり、第 1 基準電圧線と前記第 2 基準電圧線は、前記ワード線をそれらの間に挟んで第 1 方向に延在していることを特徴とする請求項 1 ～ 4 のうちの何れか一項に記載の半導体記憶装置。

【請求項 6】 前記相補性データ線の一方と、前記相補性データ線の他方は、前記電源電圧線をそれらの間に挟んで、前記第 1 方向と交差する第 2 方向に延在していることを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】 前記相補性データ線、前記電源電圧線、前記基準電圧線及び前記ワード線は、銅を主成分とするメタル膜で構成されていることを特徴とする請求項 1 ～ 6 のうちの何れか一項に記載の半導体記憶装置。

【請求項 8】 一対の相補性データ線とワード線との交差部に配置された第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備え、前記第 1 駆動 M I S F E T および前記第 1 縦型 M I S F E T と、前記第 2 駆動 M I S F E T および前記第 2 縦型 M I S F E T とが交差結合したメモリセルを有する半導体記憶装置であって、

前記第 1 および第 2 転送 M I S F E T と、前記第 1 および第 2 駆動 M I S F E T は、半導体基板の主面に形成され、

前記第 1 縦型 M I S F E T は、前記第 2 駆動 M I S F E T のゲート電極の一端部上に配置され、前記半導体基板の主面に垂直な方向に延在する第 1 積層体に形成されたソース、チャンネル領域およびドレインと、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第 2 縦型 M I S F E T は、前記第 1 駆動 M I S F E T のゲート電極の一端部上に配置され、前記半導体基板の主面に垂直な方向に延在する第 2 積層体に形成されたソース、チャンネル領域およびドレインと、前記第 2 積層体の側壁部にゲ

ート絶縁膜を介して形成されたゲート電極とを有することを特徴とする半導体記憶装置。

【請求項 9】 前記半導体基板の主面に平行な平面において、平面的に見て、前記第 1 及び第 2 縦型 M I S F E T は、前記第 1 転送 M I S F E T 及び前記第 1 駆動 M I S F E T 形成領域と、前記第 2 転送 M I S F E T 及び前記第 2 駆動 M I S F E T 形成領域との間に配置されていることを特徴とする請求項 8 に記載の半導体記憶装置。

【請求項 1 0】 一对の相補性データ線とワード線との交差部に配置された第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備え、前記第 1 駆動 M I S F E T および前記第 1 縦型 M I S F E T と、前記第 2 駆動 M I S F E T および前記第 2 縦型 M I S F E T とが交差結合したメモリセルを有する半導体記憶装置であって、

前記第 1 および第 2 転送 M I S F E T と、前記第 1 および第 2 駆動 M I S F E T は、半導体基板の主面に形成され、

前記第 1 および第 2 縦型 M I S F E T は、前記第 1 および第 2 転送 M I S F E T と、前記第 1 および第 2 駆動 M I S F E T のそれぞれよりも上部に形成され、

前記第 1 縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 1 積層体に形成されたソース、チャネル領域およびドレインと、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成された第 1 ゲート電極とを有し、

前記第 2 縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 2 積層体に形成されたソース、チャネル領域およびドレインと、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成された第 2 ゲート電極とを有し、

前記第 1 縦型 M I S F E T のドレインと、前記第 2 駆動 M I S F E T のゲート電極と、前記第 1 駆動 M I S F E T のドレインとは、第 1 中間導電層を介して互いに電氣的に接続され、

前記第 2 縦型 M I S F E T のドレインと、前記第 1 駆動 M I S F E T のゲート電極と、前記第 2 駆動 M I S F E T のドレインとは、第 2 中間導電層を介して互いに電氣的に接続され、

前記第 1 縦型 M I S F E T の第 1 ゲート電極は、前記第 1 ゲート電極と接する

ように形成された第 1 ゲート引き出し電極と、前記第 1 ゲート引き出し電極および前記第 2 中間導電層とに接するように形成された第 1 接続孔内の第 1 導電層とを介して前記第 2 中間導電層と電氣的に接続され、

前記第 2 縦型 M I S F E T の第 2 ゲート電極は、前記第 2 ゲート電極と接するように形成された第 2 ゲート引き出し電極と、前記第 2 ゲート引き出し電極および前記第 1 中間導電層とに接するように形成された第 2 接続孔内の第 2 導電層とを介して前記第 1 中間導電層と電氣的に接続されていることを特徴とする半導体記憶装置。

【請求項 1 1】 前記半導体基板の主面に周辺回路の複数の M I S F E T がさらに形成され、前記周辺回路の M I S F E T 間を接続する配線と、前記第 1 および第 2 中間導電層とは、同一の配線層に形成されていることを特徴とする請求項 1 0 記載の半導体記憶装置。

【請求項 1 2】 前記第 1 および第 2 中間導電層はメタル膜からなり、前記第 1 縦型 M I S F E T のドレインと前記第 1 中間導電層との間に第 1 バリア層が形成され、前記第 2 縦型 M I S F E T のドレインと前記第 2 中間導電層との間に第 2 バリア層が形成されていることを特徴とする請求項 1 0 または 1 1 記載の半導体記憶装置。

【請求項 1 3】 前記第 1 および第 2 中間導電層はタングステン膜からなり、前記第 1 および第 2 バリア層は、窒化タングステン(WN)膜からなることを特徴とする請求項 1 2 記載の半導体記憶装置。

【請求項 1 4】 前記第 1 および第 2 中間導電層は、耐酸化性導電膜からなることを特徴とする請求項 1 0 ～ 1 3 のうちの何れか一項に記載の半導体記憶装置。

【請求項 1 5】 前記第 1 縦型 M I S F E T の第 1 ゲート電極は、その下端部で前記第 1 ゲート引き出し電極と電氣的に接続され、前記第 2 縦型 M I S F E T の第 2 ゲート電極は、その下端部で前記第 2 ゲート引き出し電極と電氣的に接続されていることを特徴とする請求項 1 0 ～ 1 4 のうちの何れか一項に記載の半導体記憶装置。

【請求項 1 6】 前記第 1 縦型 M I S F E T の第 1 ゲート電極および前記第

2 縦型M I S F E T の第 2 ゲート電極のそれぞれは、2 層の導電膜で構成されていることを特徴とする請求項 1 0 ～ 1 5 のうちの何れか一項に記載の半導体記憶装置。

【請求項 1 7】 前記第 2 中間導電層と、前記第 1 ゲート引き出し電極と、前記第 1 接続孔とは、互いに平面的に重なる部分を有するように配置され、前記第 1 中間導電層と、前記第 2 ゲート引き出し電極と、前記第 2 接続孔とは、互いに平面的に重なる部分を有するように配置されていることを特徴とする請求 1 0 ～ 1 6 のうちの何れか一項に記載の半導体記憶装置。

【請求項 1 8】 前記第 1 接続孔は、前記第 1 ゲート引き出し電極を貫通して前記第 2 中間導電層に接続され、前記第 2 接続孔は、前記第 2 ゲート引き出し電極を貫通して前記第 1 中間導電層に接続されていることを特徴とする請求項 1 0 ～ 1 7 のうちの何れか一項に記載の半導体記憶装置。

【請求項 1 9】 前記第 1 ゲート引き出し電極は、前記第 1 積層体の側壁部で前記第 1 縦型M I S F E T の第 1 ゲート電極と接しており、前記第 2 ゲート引き出し電極は、前記第 2 積層体の側壁部で前記第 2 縦型M I S F E T の第 2 ゲート電極と接していることを特徴とする請求項 1 0 ～ 1 8 のうちの何れか一項に記載の半導体記憶装置。

【請求項 2 0】 前記第 1 ゲート引き出し電極は、前記第 1 縦型M I S F E T の第 1 ゲート電極と一体に構成されており、前記第 2 ゲート引き出し電極は、前記第 2 縦型M I S F E T の第 2 ゲート電極と一体に構成されていることを特徴とする請求項 1 0 から 1 9 のいずれか一項に記載の半導体記憶装置。

【請求項 2 1】 前記第 1 縦型M I S F E T のゲート電極は、前記第 1 積層体の側壁部の周囲を囲むように形成され、前記第 2 縦型M I S F E T のゲート電極は、前記第 2 積層体の側壁部の周囲を囲むように形成されていることを特徴とする請求項 1 0 から 2 0 のいずれか一項に記載の半導体記憶装置。

【請求項 2 2】 前記第 1 および第 2 ゲート引き出し電極は、シリコン系の導電膜とその表面に形成されたシリサイド膜とで構成されていることを特徴とする請求項 1 0 から 2 1 のいずれか一項に記載の半導体記憶装置。

【請求項 2 3】 前記第 1 および第 2 転送M I S F E T と、前記第 1 および

第 2 駆動 M I S F E T は、 n チャネル型 M I S F E T で構成され、前記第 1 および第 2 縦型 M I S F E T は、 p チャネル型 M I S F E T で構成されていることを特徴とする請求項 1 から 2 2 のいずれか一項に記載の半導体記憶装置。

【請求項 2 4】 一対の相補性データ線とワード線との交差部に配置された第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備え、前記第 1 駆動 M I S F E T および前記第 1 縦型 M I S F E T と、前記第 2 駆動 M I S F E T および前記第 2 縦型 M I S F E T とが交差結合したメモリセルを有し、

前記第 1 縦型 M I S F E T は、半導体基板の主面に垂直な方向に延在する第 1 積層体に形成されたソース、チャネル領域およびドレインと、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第 2 縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 2 積層体に形成されたソース、チャネル領域およびドレインと、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する半導体記憶装置の製造方法であって、

(a) 半導体基板の主面の第 1 領域に第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T を形成する工程、

(b) 前記第 1 および第 2 転送 M I S F E T と前記第 1 および第 2 駆動 M I S F E T の上部に、前記第 2 駆動 M I S F E T のゲート電極と、前記第 1 駆動 M I S F E T のドレインとを電氣的に接続する第 1 中間導電層を形成し、前記第 1 駆動 M I S F E T のゲート電極と、前記第 2 駆動 M I S F E T のドレインとを電氣的に接続する第 2 中間導電層を形成する工程、

(c) 前記第 1 および第 2 中間導電層の上部に第 1 絶縁膜を介して第 1 および第 2 ゲート引き出し電極を形成する工程、

(d) 前記 (c) 工程の後、前記第 1 および第 2 ゲート引き出し電極の上部に第 1 および第 2 積層体を形成することによって、前記第 1 積層体に形成された第 1 縦型 M I S F E T のドレインと前記第 1 中間導電層とを電氣的に接続し、前記第 2 積層体に形成された第 2 縦型 M I S F E T のドレインと前記第 2 中間導電層とを電氣的に接続する工程、

(e) 前記第 1 積層体の側壁部にゲート絶縁膜を介して形成された前記第 1 縦型 M I S F E T のゲート電極と前記第 1 ゲート引き出し電極とを電氣的に接続し、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成された前記第 2 縦型 M I S F E T のゲート電極と前記第 2 ゲート引き出し電極とを電氣的に接続する工程、

(f) 前記第 1 ゲート引き出し電極の上部に、前記第 1 ゲート引き出し電極と前記第 2 中間導電層とに接するように第 1 接続孔を形成してその内部に第 1 導電層を埋め込み、前記第 2 ゲート引き出し電極の上部に、前記第 2 ゲート引き出し電極と前記第 1 中間導電層とに接するように第 2 接続孔を形成してその内部に第 2 導電層を埋め込む工程。

【請求項 2 5】 前記 (c) 工程は、前記第 1 および第 2 中間導電層の表面にバリア層を形成する工程と、前記バリア層が形成された前記第 1 および第 2 中間導電層の上部に前記第 1 絶縁膜を介して前記第 1 および第 2 ゲート引き出し電極を形成する工程を含み、

前記 (d) 工程は、前記第 1 絶縁膜と、前記第 1 および第 2 ゲート引き出し電極とを覆う第 2 絶縁膜を形成する工程と、前記第 2 絶縁膜と前記第 1 絶縁膜とをエッチングして、前記第 1 中間導電層の表面の前記バリア層を露出する第 1 開口および、前記第 2 中間導電層の表面の前記バリア層を露出する第 2 開口を形成する工程と、前記第 1 および第 2 開口の内部に導電層を埋め込む工程と、前記第 2 絶縁膜の上部に前記第 1 および第 2 積層体を形成することによって、前記第 1 積層体に形成された前記第 1 縦型 M I S F E T のドレインと前記第 1 中間導電層とを前記バリア層と前記第 1 開口の内部の導電層とを介して電氣的に接続し、前記第 2 積層体に形成された前記第 2 縦型 M I S F E T のドレインと前記第 2 中間導電層とを前記バリア層と前記第 2 開口の内部の導電層とを介して電氣的に接続する工程を含み、

前記 (e) 工程は、前記第 1 および第 2 ゲート引き出し電極と、前記第 1 および第 2 開口内の導電膜が前記第 2 絶縁膜によって覆われた状態で前記半導体基板を熱処理することによって、前記第 1 および第 2 積層体のそれぞれの側壁部に前記ゲート絶縁膜を形成する工程と、前記半導体基板上に堆積した第 1 ゲート電極材料をエッチングして前記第 1 および第 2 積層体のそれぞれの側壁部に第 1 ゲー

ト電極層を形成する工程と、前記第 2 絶縁膜をエッチングして前記第 1 および第 2 ゲート引き出し電極を露出する工程と、前記半導体基板上に堆積した第 2 ゲート電極材料をエッチングして前記第 1 ゲート電極層が形成された前記第 1 および第 2 積層体のそれぞれの側壁部に第 2 ゲート電極層を形成し、前記第 1 積層体の側壁に形成された前記第 2 ゲート電極層と前記第 1 ゲート引き出し電極とを電氣的に接続し、前記第 1 積層体の側壁に形成された前記第 2 ゲート電極層と前記第 1 ゲート引き出し電極とを電氣的に接続する工程を含むことを特徴とする請求項 2 4 記載の半導体記憶装置の製造方法。

【請求項 2 6】 一对の相補性データ線とワード線との交差部に配置された第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備え、前記第 1 駆動 M I S F E T および前記第 1 縦型 M I S F E T と、前記第 2 駆動 M I S F E T および前記第 2 縦型 M I S F E T とが交差結合したメモリセルを有し、

前記第 1 縦型 M I S F E T は、半導体基板の主面に垂直な方向に延在する第 1 積層体に形成されたソース、チャネル領域およびドレインと、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第 2 縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 2 積層体に形成されたソース、チャネル領域およびドレインと、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する半導体記憶装置の製造方法であって、

(a) 半導体基板の主面の第 1 領域に第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T を形成する工程、

(b) 前記第 1 および第 2 転送 M I S F E T と前記第 1 および第 2 駆動 M I S F E T の上部に、前記第 2 駆動 M I S F E T のゲート電極と、前記第 1 駆動 M I S F E T のドレインとを電氣的に接続する第 1 中間導電層を形成し、前記第 1 駆動 M I S F E T のゲート電極と、前記第 2 駆動 M I S F E T のドレインとを電氣的に接続する第 2 中間導電層を形成する工程、

(c) 前記 (b) 工程の後、前記第 1 および第 2 中間導電層の上部に第 1 および第 2 積層体を形成することによって、前記第 1 積層体に形成された第 1 縦型 M I

S F E T のドレインと前記第 1 中間導電層とを電氣的に接続し、前記第 2 積層体に形成された第 2 縦型 M I S F E T のドレインと前記第 2 中間導電層とを電氣的に接続する工程、

(d) 前記 (c) 工程後、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成された前記第 1 縦型 M I S F E T のゲート電極と接するように第 1 ゲート引き出し電極を形成し、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成された前記第 2 縦型 M I S F E T のゲート電極と接するように第 2 ゲート引き出し電極を形成する工程、

(e) 前記第 1 ゲート引き出し電極の上部に、前記第 1 ゲート引き出し電極と前記第 2 中間導電層とに接するように第 1 接続孔を形成してその内部に第 1 導電層を埋め込み、前記第 2 ゲート引き出し電極の上部に、前記第 2 ゲート引き出し電極と前記第 1 中間導電層とに接するように第 2 接続孔を形成してその内部に第 2 導電層を埋め込む工程。

【請求項 2 7】 前記 (e) 工程の後、前記第 1 および第 2 積層体の上部に、前記第 1 および第 2 縦型 M I S F E T のそれぞれのソースと電氣的に接続される電源電圧線を形成する工程をさらに含むことを特徴とする請求項 2 4、2 5 または 2 6 記載の半導体記憶装置の製造方法。

【請求項 2 8】 前記電源電圧線を形成する工程で、前記第 1 転送 M I S F E T のソース、ドレインの一方に電氣的に接続される前記相補性データ線の一方と、前記第 2 転送 M I S F E T のソース、ドレインの一方に電氣的に接続される前記相補性データ線の他方を形成する工程をさらに含むことを特徴とする請求項 2 7 記載の半導体記憶装置の製造方法。

【請求項 2 9】 前記電源電圧線の上層に前記第 1 および第 2 転送 M I S F E T のそれぞれのゲート電極に電氣的に接続される前記ワード線と、前記第 1 および第 2 駆動 M I S F E T のそれぞれのソースに電氣的に接続される基準電圧線とを形成する工程をさらに含むことを特徴とする請求項 2 7 記載の半導体記憶装置の製造方法。

【請求項 3 0】 第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備えたメモリセルを有する半導体記憶装置であって、

前記駆動M I S F E Tは、半導体基板の主面に形成され、
 前記駆動M I S F E Tの上部に絶縁膜を介して金属膜が形成され、
 前記金属膜の上部に前記縦型M I S F E Tが形成されたことを特徴とする半導体記憶装置。

【請求項 3 1】 第 1 および第 2 駆動M I S F E Tと、第 1 および第 2 縦型M I S F E Tとを備え、前記第 1 駆動M I S F E Tおよび前記第 1 縦型M I S F E Tと、前記第 2 駆動M I S F E Tおよび前記第 2 縦型M I S F E Tとが交差結合したメモリセルを有する半導体記憶装置であって、

前記駆動M I S F E Tは、半導体基板の主面に形成され、
 前記駆動M I S F E Tの上部に絶縁膜を介して、前記第 1 および第 2 駆動M I S F E Tのゲート及びドレインを交差結合する金属膜が形成され、
 前記金属膜の上部に、前記金属膜に接続する前記縦型M I S F E Tが形成されたことを特徴とする半導体記憶装置。

【請求項 3 2】 前記金属膜はタングステン膜を有し、
 前記第 1 および第 2 縦型M I S F E Tと前記タングステン膜とはバリア膜を介して電氣的に接続されたことを特徴とする請求項 3 0 または 3 1 項に記載の半導体記憶装置。

【請求項 3 3】 第 1 および第 2 駆動M I S F E Tと、第 1 および第 2 縦型M I S F E Tとを備え、前記第 1 駆動M I S F E Tおよび前記第 1 縦型M I S F E Tと、前記第 2 駆動M I S F E Tおよび前記第 2 縦型M I S F E Tとが交差結合したメモリセルを有する半導体記憶装置であって、

前記駆動M I S F E Tは、半導体基板の主面に形成され、
 前記駆動M I S F E Tの上部に絶縁膜を介して形成された前記縦型M I S F E Tのゲートは、ゲートの下部で下層の導電膜に電氣的に接続されることで、前記駆動M I S F E Tのゲート又はドレインに電氣的に接続されることを特徴とする半導体記憶装置。

【請求項 3 4】 第 1 および第 2 駆動M I S F E Tと、第 1 および第 2 縦型M I S F E Tとを備え、前記第 1 駆動M I S F E Tおよび前記第 1 縦型M I S F E Tと、前記第 2 駆動M I S F E Tおよび前記第 2 縦型M I S F E Tとが交差結

合したメモリセルを有する半導体記憶装置であって、

前記駆動M I S F E Tは、半導体基板の主面に形成され、

前記駆動M I S F E Tの上部に絶縁膜を介して前記縦型M I S F E Tが形成され、

前記駆動M I S F E Tのゲート又はドレインと、前記縦型M I S F E Tのゲートとの間の電流パスは、導電膜を介して前記縦型M I S F E Tのゲートの下部を経由して形成されることを特徴とする半導体記憶装置。

【請求項 3 5】 第 1 および第 2 駆動M I S F E Tと、第 1 および第 2 縦型M I S F E Tとを備え、前記第 1 駆動M I S F E Tおよび前記第 1 縦型M I S F E Tと、前記第 2 駆動M I S F E Tおよび前記第 2 縦型M I S F E Tとが交差結合したメモリセルを有する半導体記憶装置であって、

前記駆動M I S F E Tは、半導体基板の主面に形成され、

前記駆動M I S F E Tの上部に絶縁膜を介して、前記駆動M I S F E Tのゲート又はドレインに電氣的に接続される導電膜が形成され、

前記導電膜の上部に前記縦型M I S F E Tが形成され、

前記縦型M I S F E Tのゲートは、サイドウォールスペーサ状に形成され、かつ前記導電膜に電氣的に接続されることを特徴とする半導体記憶装置。

【請求項 3 6】 第 1 および第 2 駆動M I S F E Tと、第 1 および第 2 縦型M I S F E Tとを備え、前記第 1 駆動M I S F E Tおよび前記第 1 縦型M I S F E Tと、前記第 2 駆動M I S F E Tおよび前記第 2 縦型M I S F E Tとが交差結合したメモリセルを有する半導体記憶装置であって、

前記駆動M I S F E Tは、半導体基板の主面に形成され、

前記駆動M I S F E Tの上部に絶縁膜を介して、前記駆動M I S F E Tのゲート又はドレインに電氣的に接続される導電膜が形成され、

前記導電膜の上部に前記縦型M I S F E Tが形成され、

前記縦型M I S F E Tのゲートは、自己整合的に前記導電膜に電氣的に接続されることを特徴とする半導体記憶装置。

【請求項 3 7】 前記導電膜の上部に絶縁膜を介して前記縦型M I S F E Tが形成され、

前記縦型M I S F E Tのゲートは、サイドウォールスペーサ状に形成された第1膜と第2膜を含み、

前記第1膜に自己整合的に前記導電膜が開口され、

前記第2膜は、前記導電膜に電氣的に接続されることを特徴とする請求項33～36のうちの何れか一項に記載の半導体記憶装置。

【請求項38】 第1および第2駆動M I S F E Tと、第1および第2縦型M I S F E Tとを備え、前記第1駆動M I S F E Tおよび前記第1縦型M I S F E Tと、前記第2駆動M I S F E Tおよび前記第2縦型M I S F E Tとが交差結合したメモリセルを有する半導体記憶装置であって、

前記駆動M I S F E Tは、半導体基板の主面に形成され、

前記駆動M I S F E Tの上部に絶縁膜を介して、前記駆動M I S F E Tのゲート又はドレインに電氣的に接続される第1導電膜が形成され、

前記第1導電膜の上部に、第2導電膜が形成され、

前記第2導電膜の上部に、前記縦型M I S F E Tが形成され、

前記縦型M I S F E Tのゲートは、前記第2導電膜に電氣的に接続され、

前記前記縦型M I S F E Tのドレインは前記第2導電膜を介さずに前記第1導電膜に電氣的に接続されることを特徴とする半導体記憶装置。

【請求項39】 前記第2導電膜の上部に絶縁膜を介して前記縦型M I S F E Tが形成され、

前記縦型M I S F E Tのゲートは、サイドウォールスペーサ状に形成された第1膜と第2膜を含み、

前記第1膜に自己整合的に前記第2導電膜が開口され、

前記第2膜は、前記第2導電膜に電氣的に接続されることを特徴とする請求項38に記載の半導体記憶装置。

【請求項40】 前記第1導電膜は金属膜で構成され、

前記第2導電膜はシリコン膜で構成され、

前記第1導電膜は、バリア膜を介して前記縦型M I S F E Tのドレインに電氣的に接続されることを特徴とする請求項38又は39項に記載の半導体記憶装置。

【請求項 4 1】 前記第 1 導電膜と同層の導電膜で、周辺回路用 M I S F E T のゲート及びドレイン間を電氣的に接続する導電膜が形成されることを特徴とする請求項 3 8 ～ 4 0 のうちの何れか一項に記載の半導体記憶装置。

【請求項 4 2】 第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備えたメモリセルと、周辺回路用 M I S F E T とを有する半導体記憶装置であって、

前記駆動 M I S F E T は、半導体基板の主面に形成され、

前記駆動 M I S F E T のゲート及びドレイン間を電氣的に接続する導電膜が、前記駆動 M I S F E T の上部に絶縁膜を介して形成され、

前記導電膜の上部に、前記縦型 M I S F E T が形成され、

前記導電膜と同層の導電膜で、前記周辺回路用 M I S F E T のゲート及びドレイン間を電氣的に接続する導電膜が形成されることを特徴とする半導体記憶装置。

。

【請求項 4 3】 前記導電膜は金属膜で構成され、

前記導電膜は、バリア膜を介して前記縦型 M I S F E T のドレインに電氣的に接続されることを特徴とする請求項 4 2 に記載の半導体記憶装置。

【請求項 4 4】 前記縦型 M I S F E T を覆う絶縁膜を介して金属配線層が形成され、

前記金属配線層により、前記周辺回路用 M I S F E T のゲート及びドレイン間を電氣的に接続する配線が形成されることを特徴とする請求項 4 2 又は 4 3 に記載の半導体記憶装置。

【請求項 4 5】 第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備えたメモリセルを有する半導体記憶装置であって、

前記駆動 M I S F E T は、半導体基板の主面に形成され、

前記駆動 M I S F E T のゲート又はドレインに電氣的に接続する導電膜が、前記駆動 M I S F E T の上部に絶縁膜を介して形成され、

前記導電膜の上部に、前記縦型 M I S F E T が形成され、

前記導電膜と、前記縦型 M I S F E T のゲート電極とは、前記縦型 M I S F E T を覆う絶縁膜に形成された接続孔において、前記接続孔に埋め込まれたプラグ

により電氣的に接続されることを特徴とする半導体記憶装置。

【請求項 4 6】 前記導電膜と同層の導電膜で、周辺回路用 M I S F E T のゲート及びドレイン間を電氣的に接続する導電膜が形成されることを特徴とする請求項 4 5 に記載の半導体記憶装置。

【請求項 4 7】 前記縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する積層体に形成されたソース、チャネル領域およびドレインと、前記積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記積層体はシリコン膜で構成されることを特徴とする請求項 3 0 ～ 4 7 のうちの何れか一項に記載の半導体記憶装置。

【請求項 4 8】 第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備えたメモリセルを有する半導体記憶装置の製造方法であって、

半導体基板の主面に駆動 M I S F E T を形成する工程と、

前記駆動 M I S F E T の上部に絶縁膜を介して、前記駆動 M I S F E T のゲート又はドレインに電氣的に接続する導電膜を形成する工程と、

前記導電膜の上部に、前記縦型 M I S F E T を形成する工程と、

前記縦型 M I S F E T を覆う絶縁膜に接続孔を形成する工程と、

前記接続孔にプラグを埋め込むことにより、前記接続孔内で、前記導電膜と、前記縦型 M I S F E T のゲート電極とを電氣的に接続する工程と、

を含むことを特徴とする半導体記憶装置の製造方法。

【請求項 4 9】 前記導電膜と同層の導電膜で、周辺回路用 M I S F E T のゲート及びドレイン間を電氣的に接続する導電膜が形成されることを特徴とする請求項 4 8 に記載の半導体記憶装置の製造方法。

【請求項 5 0】 第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備えたメモリセルを有する半導体記憶装置の製造方法であって、

半導体基板の主面に駆動 M I S F E T を形成する工程と、

前記駆動 M I S F E T の上部に絶縁膜を介して、ドレイン・チャネル・ソースとなる半導体膜、及びキャップ絶縁膜を形成する工程と、

前記半導体膜、及びキャップ絶縁膜を柱状形状にパターンニングする工程と、
柱状のキャップ絶縁膜の側壁にエッチングストッパ膜をサイドスペーサ状に形成する工程と、

前記キャップ絶縁膜及びエッチングストッパ膜上に層間絶縁膜を形成する工程と、

前記エッチングストッパ膜をストッパに用いて、前記層間絶縁膜及びキャップ絶縁膜をエッチングした後、前記エッチングストッパ膜をエッチングして、半導体膜を開口する接続孔を形成する工程と、

を含むことを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置およびその製造技術に関し、特に、メモリセルを縦型MISFETを用いて構成したSRAM (Static Random Access Memory) を有する半導体記憶装置に適用して有効な技術に関する。

【0002】

【従来の技術】

汎用の大容量半導体記憶装置の一種であるSRAM (Static Random Access Memory) は、例えば4個のnチャネル型MISFET (Metal-Insulator-Semiconductor-Field-Effect-Transistor) と2個のpチャネル型MISFETとでメモリセルを構成している。しかし、この種のいわゆる完全CMOS (Complementary-Metal-Oxide-Semiconductor) 型SRAMは、半導体基板の主面に6個のMISFETを平面的に配置するので、メモリセルサイズの縮小が困難である。すなわち、CMOSを形成するためのp及びn型ウエル領域及びnチャネル型MISFETとpチャネル型MISFETとを分離するウエル分離領域が必要となる完全CMOS型SRAMは、メモリセルサイズの縮小が困難である。

【0003】

【発明が解決しようとする課題】

そこで、6個のMISFETで構成したSRAMセルについて、例えば特開平

8-88328号公報に記載されているように、メモリセルを構成するMISFETの一部を溝の側壁にチャネル部を形成し、溝を埋め込むようにゲートを形成したMISFETを用いて構成することによって、メモリセルサイズの縮小を図る技術が提案されているが、この場合、溝を埋め込むように形成されたゲートは、MISFET上を絶縁膜を介してパターニングにより形成された導電膜で構成され、かつ他のMISFETに接続されるので、フォトリソグラフィのための合わせ余裕を含めたスペースを必要とし、メモリセルサイズが増大する。

【0004】

また、例えば特開平5-206394号公報に記載されているように4個のnチャネル型MISFETと2個のpチャネル型MISFETを半導体基板上に並べて配置する完全CMOS型SRAMの場合は、トランジスタ6個分のスペースを必要とし、メモリセルサイズが増大すると共に、製造工程が複雑になる。

【0005】

また、縦型トランジスタについては、例えば特開平11-87541号公報に記載されている。この公報に示されるように、縦型トランジスタのソース、ドレインおよびゲートは、縦型トランジスタを覆う絶縁膜に形成された接続孔を介して絶縁膜上に形成された金属配線層に電氣的に接続される。

【0006】

本発明者はこの種の縦型トランジスタを検討した結果、この縦型トランジスタでは、ソース、ドレインおよびゲートを金属配線層に接続するために基板の主面と平行な平面に配置するので、その延在方向にそれぞれの領域が必要となり、また縦型トランジスタに接続する金属配線層の配置などの領域が必要となり、トランジスタサイズが増大する恐れがあることを見出した。

【0007】

本発明の目的は、SRAMのメモリセルサイズを縮小することのできる技術を提供することにある。

【0008】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 0 9 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要について説明すれば、次のとおりである。

【 0 0 1 0 】

本発明の半導体記憶装置は、一对の相補性データ線とワード線との交差部に配置された第1および第2転送MISFETと、第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有し、

前記第1および第2転送MISFETと、前記第1および第2駆動MISFETは、半導体基板の主面に形成され、

前記第1および第2縦型MISFETは、前記第1および第2転送MISFETと、前記第1および第2駆動MISFETのそれぞれよりも上部に形成され、

前記第1縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成された第1ゲート電極とを有し、

前記第2縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成された第2ゲート電極とを有し、

前記第1縦型MISFETのソースと、前記第2駆動MISFETのゲート電極と、前記第1駆動MISFETのドレインとは、第1中間導電層を介して互いに電氣的に接続され、

前記第2縦型MISFETのソースと、前記第1駆動MISFETのゲート電極と、前記第2駆動MISFETのドレインとは、第2中間導電層を介して互いに電氣的に接続され、

前記第1縦型MISFETの第1ゲート電極は、前記第1ゲート電極と接するように形成された第1ゲート引き出し電極と、前記第1ゲート引き出し電極および前記第2中間導電層とに接するように形成された第1接続孔内の第1導電層と

を介して前記第 2 中間導電層と電氣的に接続され、

前記第 2 縦型 M I S F E T の第 2 ゲート電極は、前記第 2 ゲート電極と接するように形成された第 2 ゲート引き出し電極と、前記第 2 ゲート引き出し電極および前記第 1 中間導電層とに接するように形成された第 2 接続孔内の第 2 導電層とを介して前記第 1 中間導電層と電氣的に接続されているものである。

【 0 0 1 1 】

また、上記半導体記憶装置は、例えば下記の（a）工程～（f）によって製造される。

（a）半導体基板の主面の第 1 領域に第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T を形成する工程、

（b）前記第 1 および第 2 転送 M I S F E T と前記第 1 および第 2 駆動 M I S F E T の上部に、前記第 2 駆動 M I S F E T のゲート電極と、前記第 1 駆動 M I S F E T のドレインとを電氣的に接続する第 1 中間導電層を形成し、前記第 1 駆動 M I S F E T のゲート電極と、前記第 2 駆動 M I S F E T のドレインとを電氣的に接続する第 2 中間導電層を形成する工程、

（c）前記第 1 および第 2 中間導電層の上部に第 1 絶縁膜を介して第 1 および第 2 ゲート引き出し電極を形成する工程、

（d）前記（c）工程の後、前記第 1 および第 2 ゲート引き出し電極の上部に第 1 および第 2 積層体を形成することによって、前記第 1 積層体に形成された第 1 縦型 M I S F E T のドレインと前記第 1 中間導電層とを電氣的に接続し、前記第 2 積層体に形成された第 2 縦型 M I S F E T のドレインと前記第 2 中間導電層とを電氣的に接続する工程、

（e）前記第 1 積層体の側壁部にゲート絶縁膜を介して形成された前記第 1 縦型 M I S F E T のゲート電極と前記第 1 ゲート引き出し電極とを電氣的に接続し、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成された前記第 2 縦型 M I S F E T のゲート電極と前記第 2 ゲート引き出し電極とを電氣的に接続する工程、

（f）前記第 1 ゲート引き出し電極の上部に、前記第 1 ゲート引き出し電極と前記第 2 中間導電層とに接するように第 1 接続孔を形成してその内部に第 1 導電層を埋め込み、前記第 2 ゲート引き出し電極の上部に、前記第 2 ゲート引き出し電

極と前記第 1 中間導電層とに接するように第 2 接続孔を形成してその内部に第 2 導電層を埋め込む工程。

【0012】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0013】

（実施の形態 1）

図 1 は、本発明の一実施の形態である SRAM のメモリセルの等価回路図である。図 1 に示すように、この SRAM のメモリセル (MC) は、一対の相補性データ線 (BLT、BLB) とワード線 (WL) との交差部に配置された 2 個の転送 MISFET (TR_1 、 TR_2)、2 個の駆動 MISFET (DR_1 、 DR_2) および 2 個の縦型 MISFET (SV_1 、 SV_2) によって構成されている。

【0014】

メモリセル (MC) を構成する上記 6 個の MISFET のうち、2 個の転送 MISFET (TR_1 、 TR_2) および 2 個の駆動 MISFET (DR_1 、 DR_2) は、n チャネル型 MISFET で構成されている。また、2 個の縦型 MISFET (SV_1 、 SV_2) は、p チャネル型 MISFET で構成されている。この縦型 MISFET (SV_1 、 SV_2) は、周知の完全 CMOS 型 SRAM における負荷 MISFET に相当するものであるが、通常の負荷 MISFET とは異なり、後述するような縦型構造で構成されており、かつ駆動 MISFET (DR_1 、 DR_2) 及び転送 MISFET (TR_1 、 TR_2) 形成領域の上部に配置されている。

【0015】

メモリセル (MC) の駆動用 MISFET (DR_1) および縦型 MISFET (SV_1) は第 1 のインバータ INV_1 を構成し、駆動用 MISFET (DR_2) および縦型 MISFET (SV_2) は第 2 のインバータ INV_2 を構成している。これら一対のインバータ INV_1 、 INV_2 はメモリセル (MC) 内で交差結合され、1 ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成

している。

【 0 0 1 6 】

すなわち、駆動用MISFET (DR_1) のドレインと、縦型MISFET (SV_1) のドレインと、駆動用MISFET (DR_2) のゲートと、縦型MISFET (SV_2) のゲートとは互いに電氣的に接続され、メモリセルの一方の蓄積ノード (A) を構成する。駆動用MISFET (DR_2) のドレインと、縦型MISFET (SV_2) のドレインと、駆動用MISFET (DR_1) のゲートと、縦型MISFET (SV_1) のゲートとは互いに電氣的に接続され、メモリセルの他方の蓄積ノード (B) を構成する。

【 0 0 1 7 】

上記フリップフロップ回路の一方の入出力端子は、転送MISFET (TR_1) のソース、ドレインの一方に電氣的に接続され、もう一方の入出力端子は、転送MISFET (TR_2) のソース、ドレインの一方に電氣的に接続されている。転送MISFET (TR_1) のソース、ドレインの他方は、一対の相補性データ線の内の一方のデータ線BLTに電氣的に接続され、転送MISFET (TR_2) のソース、ドレインの他方は、一対の相補性データ線の内の他方のデータ線BLBに電氣的に接続されている。また、フリップフロップ回路の一端、すなわち2個の縦型MISFET (SV_1 、 SV_2) のソースは、基準電圧 (V_{ss}) よりも電位の高い例えば3Vの電源電圧 (V_{dd}) を供給する電源電圧線 (V_{dd}) に電氣的に接続され、他端、すなわち2個の駆動MISFET (DR_1 、 DR_2) のソースは、例えば0Vの基準電圧 (V_{ss}) を供給する基準電圧線 (V_{ss}) に電氣的に接続されている。転送MISFET (TR_1 、 TR_2) のゲート電極は、ワード線 (WL) に電氣的に接続されている。上記メモリセル (MC) は、一対の蓄積ノード (A、B) の一方をHigh、他方をLowにすることにより情報を記憶する。

【 0 0 1 8 】

上記メモリセル (MC) における情報の保持、読み出しおよび書き込み動作は、周知の完全CMOS型SRAMのそれと基本的に同じである。すなわち、情報の読み出し時には、選択されたワード線 (WL) に例えば電源電圧 (V_{dd}) を印

加し、転送MISFET (TR_1 、 TR_2) をONにして一对の蓄積ノード (A、B) の電位差を相補性データ線 (BLT、BLB) で読み取る。また、書き込み時には、選択されたワード線 (WL) に例えば電源電圧 (V_{dd}) を印加して、転送MISFET (TR_1 、 TR_2) をONにすると共に、相補性データ線 (BLT、BLB) の一方を電源電圧 (V_{dd}) に接続し、他方を基準電圧 (V_{ss}) に接続することによって、駆動MISFET (DR_1 、 DR_2) のON、OFFを反転させる。

【0019】

図2は、上記メモリセル (MC) の具体的な構造を示す平面図、図3の左側部分は、図2のA-A'線に沿った断面図、中央部分は、図2のB-B'線に沿った断面図、右側部分は、図2のC-C'線に沿った断面図である。なお、図2に示す4個の (+) 印で囲んだ矩形の領域は、メモリセル1個の占有領域 (メモリセル形成領域) を示しているが、この (+) 印は図を解り易くするために示した印であり、実際に半導体基板上に形成されるものではない。また、図2は、図を解り易くするためにメモリセルを構成する主要な導電層とそれらの接続領域のみを示しており、導電層間に形成される絶縁膜などの図示は省略してある。

【0020】

例えばp型の単結晶シリコンからなる半導体基板 (以下、基板という) 1の主面には、p型ウエル4が形成されている。このp型ウエル4の素子分離溝2によって周囲を規定された活性領域 (L) には、メモリセル (MC) の一部を構成する2個の転送MISFET (TR_1 、 TR_2) および2個の駆動MISFET (DR_1 、 DR_2) が形成されている。素子分離溝2には、例えばシリコン酸化膜などからなる絶縁膜3が埋め込まれ、素子分離部を構成している。

【0021】

なお、図示しないが、周辺回路領域の基板1のn型ウエル5とp型ウエルに、周辺回路を構成するnチャネルおよびpチャネルMISFETが構成される。周辺回路用MISFETによってXデコーダ回路、Yデコーダ回路、センスアンプ回路、入出力回路、論理回路などが構成されるが、これらに限らず、マイクロプロセッサ、CPUなどの論理回路を構成してもよい。

【 0 0 2 2 】

図 2 に示すように、活性領域 (L) は、図の縦方向 (Y 方向) に延在する略長方形の平面パターンを有しており、メモリセル 1 個の占有領域には、2 個の活性領域 (L、L) が互いに平行に配置されている。2 個の転送 MISFET (TR_1 、 TR_2) および 2 個の駆動 MISFET (DR_1 、 DR_2) のうち、一方の転送 MISFET (TR_1) および駆動 MISFET (DR_1) は、一方の活性領域 (L) に形成され、それらのソース、ドレインの一方を互いに共有している。また、他方の転送 MISFET (TR_2) および駆動 MISFET (DR_2) は、他方の活性領域 (L) に形成され、それらのソース、ドレインの一方を互いに共有している。

【 0 0 2 3 】

一方の転送 MISFET (TR_1) および駆動 MISFET (DR_1) と、他方の転送 MISFET (TR_2) および駆動 MISFET (DR_2) とは、素子分離部を介して図の横方向 (X 方向) に離隔して配置され、かつメモリセル形成領域の中心点に対して点対称に配置される。また、駆動 MISFET (DR_2) 及び駆動 MISFET (DR_1) のゲート電極 7 B は、図の横方向 (X 方向) に延在するように配置され、X 方向において、一方の転送 MISFET (TR_1) および駆動 MISFET (DR_1) と、他方の転送 MISFET (TR_2) および駆動 MISFET (DR_2) との間の素子分離部上でその一端が終端し、その一端部に後述する縦型 MISFET (SV_1 、 SV_2) が形成される。これにより、メモリセルサイズを縮小できる。また、縦型 MISFET (SV_1 、 SV_2) は図の縦方向 (Y 方向) に隣接して配置され、縦型 MISFET (SV_1 、 SV_2) の上部に、縦型 MISFET (SV_1 、 SV_2) のソースに電氣的に接続される電源電圧線 (Vdd) 9 0 が図の縦方向 (Y 方向) に延在するように配置される。これにより、メモリセルサイズを縮小できる。また、電源電圧線 (Vdd) 9 0 と相補性データ線 BLT、BLB とを同じ配線層に形成し、図の縦方向 (Y 方向) に延在する相補性データ線 BLT、BLB の間に電源電圧線 (Vdd) 9 0 を形成することにより、メモリセルサイズを縮小できる。すなわち、図の横方向 (X 方向) において、一方の転送 MISFET (TR_1) および駆動 MISFET (DR_1) と

、他方の転送MISFET (TR_2) および駆動MISFET (DR_2) との間の縦型MISFET (SV_1 、 SV_2) を配置するとともに、図の横方向 (X方向) において、相補性データ線BLT、BLBの間に電源電圧線 (Vdd) 90を配置することによりメモリセルサイズを縮小できる。

【0024】

転送MISFET (TR_1 、 TR_2) は、主としてp型ウエル4の表面に形成されたゲート絶縁膜6と、ゲート絶縁膜6の上部に形成されたゲート電極7Aと、ゲート電極7Aの両側のp型ウエル4に形成された n^+ 型半導体領域14 (ソース、ドレイン) とによって構成されている。また、駆動MISFET (DR_1 、 DR_2) は、主としてp型ウエル4の表面に形成されたゲート絶縁膜6と、ゲート絶縁膜6の上部に形成されたゲート電極7Bと、ゲート電極7Bの両側のp型ウエル4に形成された n^+ 型半導体領域14 (ソース、ドレイン) とによって構成されている。

【0025】

転送MISFET (TR_1) のソース、ドレインの一方と、駆動MISFET (DR_1) のドレインとは n^+ 型半導体領域14により一体に形成され、この n^+ 型半導体領域14の上部には、プラグ28が埋め込まれたコンタクトホール23が形成されている。また駆動MISFET (DR_2) のゲート電極7Bの上部には、プラグ28が埋め込まれたコンタクトホール22が形成され、コンタクトホール22、23の上部には、コンタクトホール22内のプラグ28とコンタクトホール23内のプラグ28とを接続する中間導電層42が形成されている。そして、転送MISFET (TR_1) のソース、ドレインの一方および駆動MISFET (DR_1) ドレインである n^+ 型半導体領域14と駆動MISFET (DR_2) のゲート電極7Bとは、これらのプラグ28、28と中間導電層42とを介して互いに電氣的に接続されている。

【0026】

転送MISFET (TR_2) のソース、ドレインの一方と、駆動MISFET (DR_2) のドレインとは n^+ 型半導体領域14により一体に形成され、この n^+ 型半導体領域14の上部には、プラグ28が埋め込まれたコンタクトホール23

が形成されている。駆動MISFET (DR_1) のゲート電極 7 B の上部には、プラグ 2 8 が埋め込まれたコンタクトホール 2 2 が形成されて、コンタクトホール 2 2、2 3 の上部には、コンタクトホール 2 2 内のプラグ 2 8 とコンタクトホール 2 3 内のプラグ 2 8 とを接続する中間導電層 4 3 が形成されている。そして、転送MISFET (TR_2) のソース、ドレインの一方および駆動MISFET (DR_2) のドレインである n^+ 型半導体領域 1 4 と駆動MISFET (DR_1) のゲート電極 7 B とは、これらのプラグ 2 8、2 8 と中間導電層 4 3 とを介して互いに電氣的に接続されている。

【 0 0 2 7 】

プラグ 2 8 は、例えばタングステン (W) 等の金属 (メタル) 膜で構成され、中間導電層 4 2、4 3 は、例えばタングステン (W) 等の金属 (メタル) 膜で構成される。このように、中間導電層 4 2、4 3 を金属膜で構成することにより、抵抗を低減でき、メモリセルの特性を向上できる。

【 0 0 2 8 】

また、後述するようにプラグ 2 8 及び中間導電層 4 2、4 3 と同層のプラグ 2 8 及び中間導電層 4 6、4 7 により、周辺回路を構成する n チャネルおよび p チャネルMISFET のソース・ドレイン及びゲート間が電氣的に接続される。これにより、周辺回路を構成するMISFET 間の電氣的接続の自由度を向上でき、高集積化が可能となる。また、中間導電層 4 6、4 7 を金属膜で構成することにより、MISFET 間の接続抵抗を低減でき、回路の動作スピードを向上できる。すなわち、後述するように、上層に形成される金属 (メタル) 配線層 8 9 は、縦型MISFET (SV_1 、 SV_2) よりも上部に形成されるので、その上層の金属配線層 8 9 のみで、MISFET 間の電氣的接続を行う場合よりも、配線の自由度を向上できるとともに、高集積化できる。

【 0 0 2 9 】

駆動MISFET (DR_2) のゲート電極 7 B の一端部上には、縦型MISFET (SV_1) が形成され、駆動MISFET (DR_1) のゲート電極 7 B の一端部上には、縦型MISFET (SV_2) が形成されている。

【 0 0 3 0 】

縦型MISFET (SV_1) は、下部半導体層 (ドレイン) 57、中間半導体層 58、上部半導体層 (ソース) 59 を積層した四角柱状の積層体 (P_1) と、この積層体 (P_1) の側壁にゲート絶縁膜 63 を介して形成されたゲート電極 66 とによって構成されている。縦型MISFET (SV_1) の下部半導体層 (ドレイン) 57 は、その下部に形成されたプラグ 55 およびバリア層 48 を介して前記中間導電層 42 に接続されており、さらにこの中間導電層 42 およびその下部の前記プラグ 28、28 を介して前記転送MISFET (TR_1) のソース、ドレインの一方および駆動MISFET (DR_1) のドレインである n^+ 型半導体領域 14 と、駆動MISFET (DR_2) のゲート電極 7B とに電氣的に接続されている。

【0031】

縦型MISFET (SV_2) は、下部半導体層 (ドレイン) 57、中間半導体層 58、上部半導体層 (ソース) 59 を積層した四角柱状の積層体 (P_2) と、この積層体 (P_2) の側壁にゲート絶縁膜 63 を介して形成されたゲート電極 66 とによって構成されている。縦型MISFET (SV_2) の下部半導体層 (ドレイン) 57 は、その下部に形成されたプラグ 55 およびバリア層 48 を介して前記中間導電層 43 に接続されており、さらにこの中間導電層 43 およびその下部の前記プラグ 28、28 を介して前記転送MISFET (TR_2) のソース、ドレインの一方および駆動MISFET (DR_2) のソースである n^+ 型半導体領域 14、と駆動MISFET (DR_1) のゲート電極 7B とに電氣的に接続されている。

【0032】

縦型MISFET (SV_1 、 SV_2) は、下部半導体層 57 がドレインを構成し、中間半導体層 58 が基板 (チャネル領域) を構成し、上部半導体層 59 がソースを構成している。下部半導体層 57、中間半導体層 58、上部半導体層 59 の夫々は、シリコン膜で構成され、下部半導体層 57 及び上部半導体層 59 は p 型にドーピングされ、p 型シリコン膜で構成される。すなわち、縦型MISFET (SV_1 、 SV_2) は、シリコン膜で形成された p チャネル型MISFET で構成される。

【 0 0 3 3 】

また、プラグ 5 5 を構成するシリコン膜は、縦型 MISFET (SV_1 、 SV_2) の下部半導体層 5 7 を構成する多結晶シリコン膜と同一の導電型 (p 型) とするために、成膜時または成膜後にホウ素をドーピングして、p 型シリコン膜で構成される。

【 0 0 3 4 】

ソースである下部半導体層 5 7 はシリコン膜で形成されているので、シリコン膜 (プラグ 5 5) とタングステンからなる中間導電層 4 2、4 3 との界面で所望しないシリサイド反応が生じるのを防ぐために、それらの間にバリア層 4 8 を設けている。これにより、タングステンからなる中間導電層 4 2、4 3 の上部に、シリコン膜で形成される下部半導体層 5 7、中間半導体層 5 8、上部半導体層 5 9 を形成でき、縦型 MISFET (SV_1 、 SV_2) を中間導電層 4 2、4 3 の上部に形成できる。すなわち、中間導電層 4 2、4 3 は、タングステン (W) 等の金属膜で構成し、バリア層 4 8 を介して中間導電層 4 2、4 3 の上部にシリコン膜で形成された縦型 MISFET を形成することにより、MISFET 間の接続抵抗を低減でき、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。

【 0 0 3 5 】

なお、バリア層 4 8 は、例えば WN 膜、Ti 膜、TiN 膜の単層膜又は、WN 膜と W 膜との積層膜、TiN 膜と W 膜との積層膜など、それらの膜を 2 種類以上積層した積層膜で構成される。

【 0 0 3 6 】

縦型 MISFET (SV_1 、 SV_2) のそれぞれのゲート電極 6 6 は、四角柱状の積層体 (P_1 、 P_2) のそれぞれの側壁を囲むように形成される。なお、後述するように、ゲート電極 6 6 は、サイドウォール状に、四角柱状の積層体 (P_1 、 P_2) に対して自己整合的に形成される。

【 0 0 3 7 】

このように、縦型 MISFET (SV_1 、 SV_2) は、ソース、基板 (チャネル領域)、ドレインが基板の主面に対して垂直方向に積層され、チャネル電流が基

板の主面に対して垂直方向に流れる、いわゆる縦型チャンネルMISFETを構成する。すなわち、縦型MISFET (SV_1 、 SV_2) のチャンネル長方向は基板の主面に対して垂直な方向であり、チャンネル長は基板の主面に対して垂直な方向における下部半導体層57と上部半導体層59との間の長さで規定される。縦型MISFET (SV_1 、 SV_2) のチャンネル幅は四角柱状の積層体の側壁一周の長さで規定される。これにより、縦型MISFET (SV_1 、 SV_2) のチャンネル幅を大きくすることができる。

【0038】

縦型MISFET (SV_1) のゲート電極66は、その下端部に形成されたゲート引き出し電極51 (51b) に電氣的に接続されている。後述するように縦型MISFET (SV_1) のゲート電極66を四角柱状の積層体 (P_1) に対して自己整合的にサイドウォール状に形成する工程を利用して、縦型MISFET (SV_1) のゲート電極66は、ゲート電極66の下部において、例えばゲート電極66の底面がゲート引き出し電極51 (51b) に対して自己整合的に接続される。これにより、メモリセルサイズを縮小できる。このゲート引き出し電極51 (51b) の上部にはプラグ80が埋め込まれたスルーホール75が形成されている。また、このプラグ80は、その一部が前記中間導電層43に接続されており、縦型MISFET (SV_1) のゲート電極66は、ゲート引き出し電極51 (51b)、プラグ80、中間導電層43およびその下部の前記プラグ28、28を介して前記転送MISFET (TR_2) のソース、ドレインの一方および駆動MISFET (DR_2) のドレインである n^+ 型半導体領域14と、駆動MISFET (DR_1) のゲート電極7Bとに電氣的に接続されている。後述するようにプラグ80は、プラグ80より上層の配線とは電氣的に接続されず、相補性データ線BLTが平面的にみてプラグ80と重なるように、プラグ80の上部を図の縦方向 (Y方向) に延在して配置される。このように、プラグ80の底部を用いて、ゲート引き出し電極51 (51b) と中間導電層43とを電氣的に接続することにより、メモリセルサイズを縮小できる。また、プラグ80の上部に相補性データ線BLTを配置することができ、メモリセルサイズを縮小できる。

【0039】

縦型MISFET (SV_2) のゲート電極66は、その下端部に形成されたゲート引き出し電極51 (51a) に電氣的に接続されている。後述するように縦型MISFET (SV_2) のゲート電極66を四角柱状の積層体 (P_2) に対して自己整合的にサイドウォール状に形成する工程を利用して、縦型MISFET (SV_2) のゲート電極66は、ゲート電極66の下部において、例えばゲート電極66の底面がゲート引き出し電極51 (51a) に対して自己整合的に接続される。これにより、メモリセルサイズを縮小できる。

【0040】

このゲート引き出し電極51 (51a) の上部にはプラグ80が埋め込まれたスルーホール74が形成されている。また、このプラグ80は、その一部が前記中間導電層42に接続されており、縦型MISFET (SV_2) のゲート電極66は、ゲート引き出し電極51 (51a)、プラグ80、中間導電層42およびその下部の前記プラグ28、28を介して前記転送MISFET (TR_1) のソース、ドレインの一方および駆動MISFET (DR_2) のドレインである n^+ 型半導体領域14と、駆動MISFET (DR_2) のゲート電極7Bとに電氣的に接続されている。

【0041】

後述するようにプラグ80は、プラグ80より上層の配線（金属配線層）とは電氣的に接続されず、相補性データ線BLBが平面的にみてプラグ80と重なるように、プラグ80の上部を延在して配置される。このように、プラグ80の底部を用いて、ゲート引き出し電極51 (51a) と中間導電層42とを電氣的に接続することにより、メモリセルサイズを縮小できる。また、プラグ80の上部に相補性データ線BLBを配置することができ、メモリセルサイズを縮小できる。プラグ80は、例えばタングステン (W) 等の金属（メタル）膜で構成される。

【0042】

このように、縦型MISFET (SV_1 、 SV_2) のゲート電極66は、ゲート電極66の下部において、例えばゲート電極66の底面が導電膜であるゲート引き出し電極51 (51a、51b) に接触するように、ゲート引き出し電極51

(51a、51b) に対して自己整合的にサイドウォール状に接続される。これにより、メモリセルサイズを縮小できる。

【0043】

前記駆動MISFETの上部に絶縁膜を介して形成された前記縦型MISFET (SV_1 、 SV_2) のゲート (66) は、ゲート (66) の下部で下層の導電膜あるゲート引き出し電極51 (51a、51b) に電氣的に接続される。また、前記縦型MISFET (SV_1 、 SV_2) のゲート (66) と、前記駆動MISFET (SV_1 、 SV_2) のゲート (7B) 又はドレイン (14) との間の電流パスは、導電膜であるゲート引き出し電極51 (51a、51b) を介して前記縦型MISFET (SV_1 、 SV_2) のゲート (66) の下部を経由して形成される。すなわち、前記縦型MISFET (SV_1 、 SV_2) のゲート (66) は、ゲート引き出し電極51 (51a、51b) に対して自己整合的に接続され、かつそのゲート (66) の下部において、電流パスが基板の主面に対して垂直方向に流れるように、ゲート引き出し電極51 (51a、51b)、導電膜である中間導電層42、43、プラグ28を経由し、その下部に形成される前記駆動MISFET (SV_1 、 SV_2) のゲート (7B) 又はドレイン (14) に電氣的に接続される。すなわち、前記縦型MISFET (SV_1 、 SV_2) のゲート (66) は、プラグ28の上部に、プラグ28及び前記縦型MISFET (SV_1 、 SV_2) のゲート (66) とは、平面的に重なるように配置される。これにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。

【0044】

また、プラグ80はプラグ28の上部に、プラグ28とプラグ80とは、平面的に重なるように配置される。これにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。

【0045】

縦型MISFET (SV_1) の一部を構成する積層体 (P_1) および縦型MISFETS (V_2) の一部を構成する積層体 (P_2) のそれぞれの上部には、層間絶縁膜を介して電源電圧線 (Vdd) 90が形成されている。電源電圧線 (Vdd) 90は、積層体 (P_1) の上部のスルーホール82内に埋め込まれたプラグ85を

介して縦型MISFET (V_1) の上部半導体層 (ソース) 59 と電氣的に接続され、かつ積層体 (P_2) の上部のスルーホール 82 内に埋め込まれたプラグ 85 を介して縦型MISFET (SV_2) の上部半導体層 (ソース) 59 と電氣的に接続されている。

【 0 0 4 6 】

上記電源電圧線 (V_{dd}) 90 と同じ配線層には、相補性データ線 BLT、BLB が形成されている。電源電圧線 (V_{dd}) 90 および相補性データ線 BLT、BLB は、図 2 の Y 方向に沿って平行に延在している。すなわち、相補性データ線 BLT は、平面的に見て一方の転送MISFET (TR_1) および駆動MISFET (DR_1) と重なるように転送MISFET (TR_1) および駆動MISFET (DR_1) の上部を図 2 の Y 方向に沿って延在するように配置される。相補性データ線 BLB は、平面的に見て他方の転送MISFET (TR_2) および駆動MISFET (DR_2) と重なるように転送MISFET (TR_2) および駆動MISFET (DR_2) の上部を図 2 の Y 方向に沿って延在するように配置される。これにより、メモリセルサイズを縮小できる。相補性データ線 BLT は、前記プラグ 85 と同層のプラグ 85、前記プラグ 80 と同層のプラグ 80、前記中間導電層 42、43 と同層の中間導電層 44、および前記プラグ 28 と同層のプラグ 28 を介して転送MISFET (TR_1) のソース、ドレイン (n^+ 型半導体領域 14) の他方と電氣的に接続されている。また、相補性データ線 BLB は、前記プラグ 85 と同層のプラグ 85、前記プラグ 80 と同層のプラグ 80、前記中間導電層 42、43 と同層の中間導電層 44、および前記プラグ 28 と同層のプラグ 28 を介して転送MISFET (TR_2) のソース、ドレイン (n^+ 型半導体領域 14) の他方と電氣的に接続されている。電源電圧線 (V_{dd}) 90 および相補性データ線 BLT、BLB は、例えば銅 (Cu) を主体とする金属膜で構成されている。

【 0 0 4 7 】

このように、縦型MISFET (SV_1 、 SV_2) は図の縦方向 (Y 方向) に隣接して配置され、縦型MISFET (SV_1 、 SV_2) の上部に、縦型MISFET (SV_1 、 SV_2) のソースに電氣的に接続される電源電圧線 (V_{dd}) 90 が図

の縦方向（Y方向）に延在するように配置される。これにより、メモリセルサイズを縮小できる。また、電源電圧線（Vdd）90と相補性データ線BLT、BLBとを同じ配線層に形成し、図の縦方向（Y方向）に延在する相補性データ線BLT、BLBの間に電源電圧線（Vdd）90を形成することにより、メモリセルサイズを縮小できる。すなわち、図の横方向（X方向）において、一方の転送MISFET（ TR_1 ）および駆動MISFET（ DR_1 ）と、他方の転送MISFET（ TR_2 ）および駆動MISFET（ DR_2 ）との間の縦型MISFET（ SV_1 、 SV_2 ）を配置し、縦型MISFET（ SV_1 、 SV_2 ）の上部に図の縦方向（Y方向）に延在する電源電圧線（Vdd）90を配置し、転送MISFET（ TR_1 、 TR_2 ）および駆動MISFET（ DR_1 、 DR_2 ）の上部に図の縦方向（Y方向）に延在する相補性データ線BLT、BLBを配置することにより、メモリセルサイズを縮小できる。

【0048】

上記電源電圧線（Vdd）90および相補性データ線BLT、BLBの上層には、層間絶縁膜を介して、図2のX方向に沿って平行に延在するワード線（WL）および基準電圧線（Vss）91が形成されている。ワード線（WL）は、図2のY方向において、基準電圧線（Vss）91の間に配置される。ワード線（WL）は、前記プラグや中間導電層と同層のプラグおよび中間導電層を介して転送MISFET（ TR_1 、 TR_2 ）のゲート電極7Aと電氣的に接続され、基準電圧線（Vss）91は、同じく前記プラグや中間導電層と同層のプラグおよび中間導電層を介して駆動MISFET（ DR_1 、 DR_2 ）の n^+ 型半導体領域（ソース）14に電氣的に接続されている。ワード線（WL）および基準電圧線（Vss）91は、例えば銅（Cu）を主体とする金属膜で構成されている。

【0049】

プラグ80、85、電源電圧線（Vdd）90及び相補性データ線BLT、BLBと同層のプラグ80、83、85及び第1金属配線層89により、周辺回路を構成するnチャネルおよびpチャネルMISFETのソース・ドレイン及びゲート間が電氣的に接続される。図示しないプラグ、基準電圧線91（Vss）、ワード線（WL）と同層のプラグ及び第2金属配線層により、周辺回路を構成するn

チャネルおよび p チャネル MISFET のソース・ドレイン及びゲート間が電氣的に接続される。第 1 金属配線層 8 9 と第 2 金属配線層とは図示しないプラグにより電氣的に接続される。

【 0 0 5 0 】

このように、周辺回路を構成する MISFET 間の電氣的接続を、縦型 MISFET (SV_1 、 SV_2) よりも下部に形成されるプラグ 2 8 及び中間導電層 4 6、4 7 で行うとともに、縦型 MISFET (SV_1 、 SV_2) よりも上部に形成されるプラグ、第 1 及び第 2 金属配線層を用いて行うことにより、配線の自由度を向上でき、高集積化できる。また、MISFET 間の接続抵抗を低減でき、回路の動作スピード向上できる。

【 0 0 5 1 】

このように、本実施の形態の SRAM は、2 個の転送 MISFET (TR_1 、 TR_2) および 2 個の駆動 MISFET (DR_1 、 DR_2) を基板 1 の p 型ウエル 4 に形成し、これら 4 個の MISFET (TR_1 、 TR_2 、 DR_1 、 DR_2) の上部に 2 個の縦型 MISFET (SV_1 、 SV_2) を形成している。

【 0 0 5 2 】

この構成により、メモリセルの占有面積は、実質的に 4 個の MISFET (TR_1 、 TR_2 、 DR_1 、 DR_2) の占有面積に相当するので、6 個の MISFET で構成された同一デザインルールの完全 CMOS 型メモリセルに比べて 1 個のメモリセルの占有面積を縮小することができる。また、本実施の形態の SRAM は、p チャネル型の縦型 MISFET (SV_1 、 SV_2) を 4 個の MISFET (TR_1 、 TR_2 、 DR_1 、 DR_2) の上方に形成するので、p チャネル型の縦型 MISFET を基板の n 型ウエルに形成する完全 CMOS 型メモリセルと異なり、メモリセル 1 個の占有領域内に p 型ウエルと n 型ウエルとを分離する領域が不要である。従って、メモリセルの占有面積をさらに縮小することができるので、高速、大容量の SRAM を実現することができる。

【 0 0 5 3 】

次に、図 4 ～ 図 6 1 を用いて本実施の形態の SRAM のさらに詳細な構造をその製造方法と共に説明する。SRAM の製造方法を説明する各断面図において、

符号 A、A' を付した部分は、前記図 2 の A - A' 線に沿ったメモリセルの断面、符号 B、B' を付した部分は、前記図 2 の B - B' 線に沿ったメモリセルの断面、符号 C、C' を付した部分は、前記図 2 の C - C' 線に沿ったメモリセルの断面、その他の部分は、周辺回路領域の一部の断面を示している。SRAM の周辺回路は、n チャネル型 MISFET と p チャネル型 MISFET で構成されるが、これら 2 種類の MISFET は、導電型が互いに逆になっていることを除けば、ほぼ同一の構造を有しているため、図にはその一方（p チャネル型 MISFET）のみを示す。SRAM の製造方法を説明する各平面図（メモリアレイの平面図）には、メモリセルを構成する主要な導電層とそれらの接続領域のみを示し、導電層間に形成される絶縁膜などの図示は原則として省略する。また、各平面図中、4 個の（+）印で囲んだ矩形の領域は、メモリセル 1 個の占有領域を示している。なお、周辺回路を構成する n チャネルおよび p チャネル MISFET によって X デコーダ回路、Y デコーダ回路、センスアンプ回路、入出力回路、論理回路などが構成されるが、これらに限らず、マイクロプロセッサ、CPU などの論理回路を構成してもよい。

【0054】

まず、図 4 および図 5 に示すように、例えば p 型の単結晶シリコンからなる基板 1 の主面の素子分離領域に素子分離溝 2 を形成する。素子分離溝 2 を形成するには、例えば基板 1 の主面をドライエッチングして溝を形成し、続いてこの溝の内部を含む基板 1 上に CVD 法で酸化シリコン膜 3 などの絶縁膜を堆積した後、溝の外部の不要な酸化シリコン膜 3 を化学的機械研磨 (Chemical Mechanical Polishing; CMP) 法で研磨、除去することによって、溝の内部に酸化シリコン膜 3 を残す。この素子分離溝 2 を形成することにより、メモリアレイの基板 1 の主面には、素子分離溝 2 によって周囲を規定された島状の活性領域 (L) が形成される。

【0055】

次に、図 6 に示すように、例えば基板 1 の一部にリン (P) をイオン注入し、他の一部にホウ素 (B) をイオン注入した後、基板 1 を熱処理してこれらの不純物を基板 1 中に拡散させることにより、基板 1 の主面に p 型ウエル 4 および n 型

ウェル 5 を形成する。同図に示すように、メモリアレイの基板 1 には、p 型ウェル 4 のみが形成され、n 型ウェル 5 は形成されない。一方、周辺回路領域の基板 1 には、n 型ウェル 5 と図示しない p 型ウェルとが形成される。

【 0 0 5 6 】

次に、図 7 に示すように、基板 1 を熱酸化して p 型ウェル 4 および n 型ウェル 5 のそれぞれの表面に、例えば酸化シリコンからなる膜厚 3 nm ~ 4 nm 程度のゲート絶縁膜 6 を形成する。続いて、図 8 に示すように、例えば p 型ウェル 4 のゲート絶縁膜 6 上に導電膜として n 型多結晶シリコン膜 7 n を形成し、n 型ウェル 5 のゲート絶縁膜 6 上に導電膜として p 型多結晶シリコン膜 7 p を形成した後、n 型多結晶シリコン膜 7 n および p 型多結晶シリコン膜 7 p のそれぞれの上部にキャップ絶縁膜として例えば CVD 法で酸化シリコン膜 8 を堆積する。

【 0 0 5 7 】

n 型多結晶シリコン膜 7 n および p 型多結晶シリコン膜 7 p を形成するには、例えばゲート絶縁膜 6 上に CVD 法でノンドープの多結晶シリコン膜（またはアモルファスシリコン膜）を堆積した後、p 型ウェル 4 上のノンドープ多結晶シリコン膜（またはアモルファスシリコン膜）にリン（またはヒ素）をイオン注入し、n 型ウェル 5 上のノンドープ多結晶シリコン膜（またはアモルファスシリコン膜）にホウ素をイオン注入する。

【 0 0 5 8 】

次に、図 9 および図 10 に示すように、n 型多結晶シリコン膜 7 n および p 型多結晶シリコン膜 7 p を例えばドライエッチングすることにより、メモリアレイの p 型ウェル 4 上に n 型多結晶シリコン膜 7 n からなるゲート電極 7 A、7 B を形成し、周辺回路領域の n 型ウェル 5 上に p 型多結晶シリコン膜 7 p からなるゲート電極 7 C を形成する。図示はしないが、周辺回路領域の p 型ウェル 4 上には、n 型多結晶シリコン膜 7 n からなるゲート電極が形成される。

【 0 0 5 9 】

ゲート電極 7 A は、転送 MISFET (TR_1 、 TR_2) のゲート電極を構成し、ゲート電極 7 B は、駆動 MISFET (DR_1 、 DR_2) のゲート電極を構成する。また、ゲート電極 7 C は、周辺回路の p チャネル型 MISFET のゲート電

極を構成する。図 9 に示すように、メモリアレイに形成されたゲート電極 7 A、7 B は、同図の X 方向に延在する長方形の平面パターンを有しており、Y 方向の幅、すなわちゲート長は、例えば 0.13 ~ 0.14 μm である。

【0060】

ゲート電極 7 A、7 B、7 C を形成するには、例えばフォトリソist膜をマスクにしたドライエッチングで酸化シリコン膜 8 をゲート電極 7 A、7 B、7 C と同じ平面形状となるようにパターニングし、続いて、パターニングした酸化シリコン膜 8 をマスクにして n 型多結晶シリコン膜 7 n および p 型多結晶シリコン膜 7 p をドライエッチングする。酸化シリコンは、フォトリソist膜に比べて多結晶シリコンに対するエッチング選択比が大きいので、フォトリソist膜をマスクにして酸化シリコン膜 8 と多結晶シリコン膜 (7 n、7 p) を連続してエッチングする場合に比べて、微細なゲート長を有するゲート電極 7 A、7 B、7 C を精度よくパターニングすることができる。

【0061】

次に、図 11 に示すように、例えば p 型ウエル 4 に n 型の不純物としてリンまたはヒ素をイオン注入することによって、比較的低濃度の n^- 型半導体領域 9 を形成し、n 型ウエル 5 に p 型の不純物としてホウ素をイオン注入することによって、比較的低濃度の p^- 型半導体領域 10 を形成する。 n^- 型半導体領域 9 は、転送 MISFET (TR_1 、 TR_2)、駆動 MISFET (DR_1 、 DR_2) および周辺回路の n チャネル型 MISFET のそれぞれのソース、ドレインを LDD (lightly doped drain) 構造にするために形成し、 p^- 型半導体領域 10 は、周辺回路の p チャネル型 MISFET のソース、ドレインを LDD 構造にするために形成する。

【0062】

次に、図 12 に示すように、ゲート電極 7 A、7 B、7 C のそれぞれの側壁に絶縁膜からなるサイドウォールスペーサ 13 を形成する。サイドウォールスペーサ 13 を形成するには、例えば基板 1 上に CVD 法で酸化シリコン膜および窒化シリコン膜を堆積した後、この窒化シリコン膜と酸化シリコン膜とを異方性エッチングする。このとき、ゲート電極 7 A、7 B、7 C のそれぞれの上面を覆う酸

化シリコン膜 8 および基板 1 の表面の酸化シリコン膜（ゲート絶縁膜 6）をエッチングすることにより、ゲート電極 7 A、7 B、7 C のそれぞれの表面、および n^- 型半導体領域 9、 p^- 型半導体領域 10 のそれぞれの表面を露出させる。

【 0 0 6 3 】

次に、図 1 3 に示すように、 p 型ウエル 4 に n 型の不純物としてリンまたはヒ素をイオン注入することによって比較的高濃度の n^+ 型半導体領域 14 を形成し、 n 型ウエル 5 に p 型の不純物としてホウ素をイオン注入することによって比較的高濃度の p^+ 型半導体領域 15 を形成する。メモリアレイの p 型ウエル 4 に形成された n^+ 型半導体領域 14 は、転送 M I S F E T (TR_1 、 TR_2) および駆動 M I S F E T (DR_1 、 DR_2) のそれぞれのソース、ドレインを構成し、周辺回路領域の n 型ウエル 5 に形成された p^+ 型半導体領域 15 は、 p チャネル型 M I S F E T のソース、ドレインを構成する。また、周辺回路領域の図示しない p 型ウエルには、 n 型の不純物としてリンまたはヒ素をイオン注入し、 n チャネル型 M I S F E T のソース、ドレインを構成する比較的高濃度の n^+ 型半導体領域を形成する。

【 0 0 6 4 】

次に、図 1 4 に示すように、例えば基板 1 上にスパッタリング法でコバルト (Co) 膜 17 を堆積する。続いて、図 1 5 に示すように、基板 1 を熱処理して Co 膜 17 とゲート電極 7 A、7 B、7 C との界面、および Co 膜 17 と基板 1 との界面にシリサイド反応を生じさせた後、未反応の Co 膜 17 をエッチングで除去する。これにより、ゲート電極 7 A、7 B、7 C の表面とソース、ドレイン (n^+ 型半導体領域 14、 p^+ 型半導体領域 15) の表面とにシリサイド層である Co シリサイド層 18 が形成される。図 1 5 および図 1 6 に示すように、ここまでの工程により、メモリアレイに n チャネル型の転送 M I S F E T (TR_1 、 TR_2) および駆動 M I S F E T (DR_1 、 DR_2) が形成され、周辺回路領域に p チャネル型 M I S F E T (Q_p) および n チャネル型 M I S F E T (図示せず) が形成される。

【 0 0 6 5 】

図 1 6 に示すように、一方の転送 M I S F E T (TR_1) および駆動 M I S F

ET (DR_1) と、他方の転送MISFET (TR_2) および駆動MISFET (DR_2) とは、素子分離部を介して図の横方向 (X方向) に離隔して配置され、かつメモリセル形成領域の中心点に対して点対称に配置される。また、駆動MISFET (DR_2) 及び駆動MISFET (DR_1) のゲート電極 7B は、図の横方向 (X方向) に延在するように配置され、X方向において、一方の転送MISFET (TR_1) および駆動MISFET (DR_1) と、他方の転送MISFET (TR_2) および駆動MISFET (DR_2) との間の素子分離部上でその一端が終端し、その一端部上に後述する縦型MISFET (SV_1 、 SV_2) が形成される。

【 0 0 6 6 】

次に、図 17 に示すように、MISFET (TR_1 、 TR_2 、 DR_1 、 DR_2 、 Q_p) を覆う絶縁膜として、例えばCVD法で窒化シリコン膜 19 および酸化シリコン膜 20 を堆積し、続いて化学的機械研磨法で酸化シリコン膜 20 の表面を平坦化する。

【 0 0 6 7 】

次に、図 18 および図 19 に示すように、フォトリジスト膜をマスクにして上記酸化シリコン膜 20 および窒化シリコン膜 19 をドライエッチングすることにより、転送MISFET (TR_1 、 TR_2) のゲート電極 7A の上部にコンタクトホール 21 を形成し、駆動MISFET (DR_1 、 DR_2) のゲート電極 7B の上部にコンタクトホール 22 を形成する。また、転送MISFET (TR_1 、 TR_2) および駆動MISFET (DR_1 、 DR_2) のそれぞれのソース、ドレイン (n^+ 型半導体領域 14) の上部にコンタクトホール 23、24、25 を形成し、周辺回路領域の p チャネル型MISFET (Q_p) のゲート電極 7C およびソース、ドレイン (p^+ 型半導体領域 15) のそれぞれの上部にコンタクトホール 26、27 を形成する。

【 0 0 6 8 】

次に、図 20 に示すように、上記コンタクトホール 21 ~ 27 の内部にプラグ 28 を形成する。プラグ 28 を形成するには、例えばコンタクトホール 21 ~ 27 の内部を含む酸化シリコン膜 20 上にスパッタリング法でチタン (Ti) 膜お

よび窒化チタン (TiN) 膜を堆積し、続いてCVD法でTiN膜および金属膜としてタングステン (W) 膜を堆積した後、コンタクトホール21～27の外部のW膜、TiN膜およびTi膜を化学的機械研磨法によって除去する。

【0069】

次に、図21に示すように、絶縁膜として、例えば基板1上にCVD法で窒化シリコン膜29および酸化シリコン膜30を堆積した後、図22および図23に示すように、フォトリソ膜をマスクにして酸化シリコン膜29および窒化シリコン膜30をドライエッチングすることにより、上記コンタクトホール21～27のそれぞれの上部に溝31～37を形成する。これらの溝31～37のうち、メモリアレイに形成される溝32、33は、図22に示すように、コンタクトホール22の上部とコンタクトホール23の上部とに跨るように形成される。

【0070】

酸化シリコン膜30の下層の窒化シリコン膜29は、酸化シリコン膜30をエッチングする際のストッパ膜として使用される。すなわち、溝31～37を形成する際は、まず酸化シリコン膜30をエッチングして下層の窒化シリコン膜29の表面でエッチングを停止し、その後、窒化シリコン膜29をエッチングする。これにより、フォトマスクの合わせずれによって溝31～37とその下層のコンタクトホール21～27の相対的な位置がずれた場合でも、溝31～37の下層の酸化シリコン膜20が過剰にエッチングされることはない。

【0071】

次に、図24および図25に示すように、メモリアレイに形成された溝31～35のそれぞれの内部に中間導電層41～45を形成し、周辺回路領域に形成された溝36、37のそれぞれの内部に第1層配線46、47を形成する。中間導電層41～45および第1層配線46、47を形成するには、例えば溝31～37の内部を含む酸化シリコン膜30上にスパッタリング法でTiN膜を堆積し、続いて金属膜としてCVD法でW膜を堆積した後、溝31～37の外部のW膜およびTiN膜を化学的機械研磨法によって除去する。

【0072】

メモリアレイに形成された中間導電層41～45のうち、中間導電層41は、

転送MISFET (TR_1 、 TR_2) のゲート電極7Aと、後の工程で形成されるワード線(WL)とを電氣的に接続するために使用される。また、中間導電層44は、転送MISFET (TR_1 、 TR_2) の n^+ 型半導体領域14 (ソース、ドレインの一方) と相補性データ線(BLT、BLB)とを電氣的に接続するために使用される。さらに、中間導電層45は、駆動MISFET (DR_1 、 DR_2) の n^+ 型半導体領域14 (ソース) と後の工程で形成される基準電圧線91 (V_{ss}) とを電氣的に接続するために使用される。

【0073】

各メモリセル領域のほぼ中央部に形成された一対の中間導電層42、43の一方(中間導電層42)は、転送MISFET (TR_1) のソース、ドレインの一方および駆動MISFET (DR_1) のドレインを構成する n^+ 型半導体領域14と、駆動MISFET (DR_2) のゲート電極7Bと、後の工程で形成される縦型MISFET (SV_1) の下部半導体層57 (ドレイン) とを電氣的に接続する局所配線として使用される。また、他方(中間導電層43)は、転送MISFET (TR_2) のソース、ドレインの一方および駆動MISFET (DR_2) のドレインを構成する n^+ 型半導体領域14と、駆動MISFET (DR_1) のゲート電極7Bと、後の工程で形成される縦型MISFET (SV_2) の下部半導体層57 (ドレイン) とを電氣的に接続する局所配線として使用される。

【0074】

上記中間導電層41～45は、W膜などのメタル膜で構成する。これにより、中間導電層41～45を形成する工程で周辺回路のメタル配線(第1層配線46、47)を同時に形成することができるので、SRAMの製造工程数およびマスク数を減らすことができる。

【0075】

タングステン等の金属膜からなるプラグ28及び中間導電層42、43と同層のプラグ28及び中間導電層46、47により、周辺回路を構成する n チャネルおよび p チャネルMISFETのソース・ドレイン及びゲート間が電氣的に接続される。これにより、周辺回路を構成するMISFET間の電氣的接続の自由度を向上でき、高集積化が可能となるとともに、MISFET間の接続抵抗を低減

でき、回路の動作スピードを向上できる。

【 0 0 7 6 】

次に、図 2 6 および図 2 7 に示すように、中間導電層 4 2、4 3 のそれぞれの表面にバリア層 4 8 を形成する。バリア層 4 8 は、中間導電層 4 2、4 3 の表面領域のうち、主として縦型 M I S F E T ($S V_1$ 、 $S V_2$) が形成される領域の下方に位置する領域に形成される。バリア層 4 8 を形成するには、基板 1 上にスパッタリング法で W N 膜を堆積した後、フォトリソスト膜をマスクにしたドライエッチングで W N 膜をパターニングする。このように、シリコン膜と中間導電層 4 2、4 3 との界面で所望しないシリサイド反応が生じるのを防ぐことができるバリア層 4 8 を、シリコン膜と、中間導電層 4 2、4 3 を構成する W 膜との間に介在させる。

【 0 0 7 7 】

バリア層 4 8 は、W N 膜の他、T i 膜、T i N 膜、W N 膜と W 膜との積層膜、T i N 膜と W 膜との積層膜などで構成してもよい。T i 系薄膜は W N 膜に比べて酸化シリコン膜との密着性が良好との特徴を有する。一方、W N 膜は酸化により容易に不動態化するため、装置汚染の可能性が低く簡便に扱える。密着性と簡便性のいずれを重視するかにより選択が可能である。従って、M I S F E T を形成した後の配線形成工程のように、T i 系薄膜が基板 1 に再付着しても M I S F E T の特性を変動させる虞れが少ない工程でバリア膜を必要とする場合は、W N 膜よりも T i 系薄膜を使用した方がよい。

【 0 0 7 8 】

このように、中間導電層 4 2、4 3 は、タングステン (W) 等の金属膜で構成し、バリア層 4 8 を介して中間導電層 4 2、4 3 の上部にシリコン膜で形成された縦型 M I S F E T を形成することにより、M I S F E T 間の接続抵抗を低減でき、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。なお、バリア層 4 8 を形成する手段に代えてタングステンからなる中間導電層 4 2、4 3 の表面を窒化処理して窒化タングステンに変えてもよい。このようにするとバリア層 4 8 を形成するためのマスクが不要となる。

【 0 0 7 9 】

次に、図 2 8 に示すように、基板 1 上に C V D 法で窒化シリコン膜 4 9 を堆積した後、窒化シリコン膜 4 9 の上部に C V D 法で多結晶シリコン膜（またはアモルファスシリコン膜）5 0 を堆積する。窒化シリコン膜 4 9 は、後の工程で窒化シリコン膜 4 9 の上部に堆積する酸化シリコン膜（5 2）をエッチングする際に、下層の酸化シリコン膜 2 0 がエッチングされるのを防ぐエッチングストッパ膜として使用される。多結晶シリコン膜 5 0 は、縦型 M I S F E T（ $S V_1$ 、 $S V_2$ ）のゲート電極（6 6）を構成する多結晶シリコン膜（6 4、6 5）と同一の導電型（例えば p 型）とするために、成膜時または成膜後にホウ素をドーピングする。

【 0 0 8 0 】

次に、図 2 9 および図 3 0 に示すように、フォトレジスト膜をマスクにしたドライエッチングで多結晶シリコン膜 5 0 をパターニングすることにより、窒化シリコン膜 4 9 の上部に一对のゲート引き出し電極 5 1（5 1 a、5 1 b）を形成する。ゲート引き出し電極 5 1 は、後の工程で形成される縦型 M I S F E T（ $S V_1$ 、 $S V_2$ ）に隣接する領域に配置され、縦型 M I S F E T（ $S V_1$ 、 $S V_2$ ）のゲート電極（6 6）と下層の転送 M I S F E T（ $T R_1$ 、 $T R_2$ ）および駆動 M I S F E T（ $D R_1$ 、 $D R_2$ ）との接続に使用される。

【 0 0 8 1 】

次に、図 3 1 に示すように、窒化シリコン膜 4 8 の上部に絶縁膜として C V D 法で酸化シリコン膜 5 2 を堆積してゲート引き出し電極 5 1 を被覆した後、フォトレジスト膜をマスクにして酸化シリコン膜 5 2 をドライエッチングすることにより、バリア層 4 8 の上部領域、すなわち縦型 M I S F E T（ $S V_1$ 、 $S V_2$ ）が形成される領域の酸化シリコン膜 5 2 にスルーホール 5 3 を形成する。

【 0 0 8 2 】

次に、図 3 2 に示すように、スルーホール 5 3 の側壁に絶縁膜からなるサイドウォールスペーサ 5 4 を形成する。サイドウォールスペーサ 5 4 を形成するには、スルーホール 5 3 の内部を含む酸化シリコン膜 5 2 上に C V D 法で酸化シリコン膜を堆積し、続いてこの酸化シリコン膜を異方性エッチングしてスルーホール 5 3 の側壁に残す。このとき、上記酸化シリコン膜のエッチングに続いてスルーホール 5 3 の底部の窒化シリコン膜 4 9 をエッチングすることにより、スルーホ

ール 5 3 の底部にバリア層 4 8 を露出させる。

【 0 0 8 3 】

このように、側壁に絶縁膜からなるサイドウォールスペーサ 5 4 を形成してスルーホール 5 3 の径を小さくすることにより、図 3 3 に示すように、バリア層 4 8 の上部にその面積よりも小さい径を有するスルーホール 5 3 が形成される。これにより、フォトマスクの合わせずれによってスルーホール 5 3 の位置がバリア層 4 8 に対してずれた場合でも、スルーホール 5 3 の底部にバリア層 4 8 のみを露出させることができるので、次の工程でスルーホール 5 3 の内部に形成されるプラグ (5 5) とバリア層 4 8 の接触面積を確保することができる。

【 0 0 8 4 】

次に、図 3 4 に示すように、スルーホール 5 3 の内部にプラグ 5 5 を形成する。プラグ 5 5 を形成するには、スルーホール 5 3 の内部を含む酸化シリコン膜 5 2 上に C V D 法で多結晶シリコン膜（またはアモルファスシリコン膜）を堆積した後、スルーホール 5 3 の外部の多結晶シリコン膜（またはアモルファスシリコン膜）を化学的機械研磨法（またはエッチバック法）によって除去する。プラグ 5 5 を構成する多結晶シリコン膜（またはアモルファスシリコン膜）は、縦型 M I S F E T ($S V_1$ 、 $S V_2$) の下部半導体層 (5 7) を構成する多結晶シリコン膜と同一の導電型 (p 型) とするために、成膜時または成膜後にホウ素をドーピングする。

【 0 0 8 5 】

スルーホール 5 3 の内部に形成されたプラグ 5 5 は、バリア層 4 8 を介して下層の中間導電層 4 2、4 3 と電氣的に接続される。プラグ 5 5 を構成する多結晶シリコン膜（またはアモルファスシリコン膜）と中間導電層 4 2、4 3 を構成する W 膜との間に W N 膜からなるバリア層 4 8 を介在させることにより、プラグ 5 5 と中間導電層 4 2、4 3 との界面で所望しないシリサイド反応が生じるのを防ぐことができる。なお、プラグ 5 5 は多結晶シリコン膜（またはアモルファスシリコン膜）に代えてタングステンで構成し、その表面を窒化処理して窒化タングステンに変えてもよい。このようにするとバリア層 4 8 を形成するためのマスクが不要となる。

【0086】

次に、図35に示すように、酸化シリコン膜52の上部にp型シリコン膜57p、シリコン膜58iおよびp型シリコン膜59pを形成する。これら3層のシリコン膜(57p、58i、59p)を形成するには、例えばホウ素をドーブしたアモルファスシリコン膜およびノンドープのアモルファスシリコン膜をCVD法で順次堆積した後、熱処理を行ってこれらのアモルファスシリコン膜を結晶化することにより、p型シリコン膜57pおよびシリコン膜58iを形成する。次に、シリコン膜58iにチャネル形成用のn型またはp型不純物をイオン注入した後、シリコン膜58iの上部にホウ素をドーブしたアモルファスシリコン膜をCVD法で堆積し、続いて熱処理によってこのアモルファスシリコン膜を結晶化することにより、p型シリコン膜59pを形成する。

【0087】

このように、アモルファスシリコン膜を結晶化してシリコン膜(57p、58i、59p)を形成することにより、多結晶シリコン膜に比べて膜中の結晶粒を大きくできるので、縦型MISFET(SV_1 、 SV_2)の特性が向上する。なお、シリコン膜58iにチャネル形成用の不純物をイオン注入する際は、シリコン膜58iの表面に酸化シリコン膜からなるスルー絶縁膜を形成し、このスルー絶縁膜を通して不純物をイオン注入してもよい。また、アモルファスシリコン膜の結晶化は、後述するゲート絶縁膜を形成するための熱酸化工程などを利用して行ってもよい。

【0088】

次に、図36に示すように、p型シリコン膜59pの上部にCVD法で酸化シリコン膜61および窒化シリコン膜62を順次堆積した後、フォトレジスト膜をマスクにして窒化シリコン膜62をドライエッチングすることにより、縦型MISFET(SV_1 、 SV_2)を形成する領域の上部に窒化シリコン膜62を残す。この窒化シリコン膜62は、3層のシリコン膜(57p、58i、59p)をエッチングする際のマスクとして使用される。窒化シリコンは、シリコンに対するエッチング選択比がフォトレジストに比べて大きいので、フォトレジスト膜をマスクにしたエッチングに比べて、シリコン膜(57p、58i、59p)を精度

よくパターニングすることができる。

【 0 0 8 9 】

次に、図 3 7 および図 3 8 に示すように、窒化シリコン膜 6 2 をマスクにして 3 層のシリコン膜 (5 7 p、5 8 i、5 9 p) をドライエッチングする。これにより、p 型シリコン膜 5 7 p からなる下部半導体層 5 7、シリコン膜 5 8 i からなる中間半導体層 5 8、p 型シリコン膜 5 9 p からなる上部半導体層 5 9 によって構成される四角柱状の積層体 (P_1 、 P_2) が形成される。

【 0 0 9 0 】

上記積層体 (P_1) の下部半導体層 5 7 は、縦型 MISFET (SV_1) のドレインを構成し、上部半導体層 5 9 は、ソースを構成する。下部半導体層 5 7 と上部半導体層 5 9 との間に位置する中間半導体層 5 8 は、実質的に縦型 MISFET (SV_1) の基板を構成し、その側壁はチャネル領域を構成する。また、積層体 (P_2) の下部半導体層 5 7 は、縦型 MISFET (SV_2) のドレインを構成し、上部半導体層 5 9 は、ソースを構成する。中間半導体層 5 8 は、実質的に縦型 MISFET (SV_2) の基板を構成し、その側壁はチャネル領域を構成する。

。

【 0 0 9 1 】

また、平面的に見た場合、積層体 (P_1) は、その下層のスルーホール 5 3、バリア層 4 8、中間導電層 4 2 の一端部、コンタクトホール 2 2 および駆動 MISFET DR_2 のゲート電極 7 B の一端部と重なるように配置される。また、積層体 (P_2) は、その下層のスルーホール 5 3、バリア層 4 8、中間導電層 4 3 の一端部、コンタクトホール 2 2 および駆動 MISFET DR_1 のゲート電極 7 B の一端部と重なるように配置される。

【 0 0 9 2 】

上記シリコン膜 (5 7 p、5 8 i、5 9 p) をドライエッチングする際には、例えば図 3 8 に示すように、積層体 (P_1 、 P_2) の側壁底部にテーパを形成し、積層体 (P_1 、 P_2) の下部 (下部半導体層 5 7) の面積を上部 (中間半導体層 5 8 および上部半導体層 5 9) の面積より大きくしてもよい。このようにすると、フォトマスクの合わせずれによって積層体 (P_1 、 P_2) の位置がスルーホール 5

3 に対してずれた場合でも、スルーホール 5 3 内のプラグ 5 5 と下部半導体層 5 7 との接触面積の減少が防止されるので、下部半導体層 5 7 とプラグ 5 5 のコンタクト抵抗の増加を抑制することができる。

【 0 0 9 3 】

また、積層体 (P_1 、 P_2) を形成する際、上部半導体層 5 9 と中間半導体層 5 8 との界面近傍、下部半導体層 5 7 と中間半導体層 5 8 との界面近傍、中間半導体層 5 8 の一部などに窒化シリコン膜などで構成される 1 層または複数層のトンネル絶縁膜を設けてもよい。このようにすると、下部半導体層 5 7 や上部半導体層 5 9 を構成する p 型シリコン膜 (5 7 p、5 9 p) 中の不純物が中間半導体層 5 8 の内部に拡散するのを防ぐことができるので、縦型 MISFET (SV_1 、 SV_2) の性能を向上させることができる。この場合、トンネル絶縁膜は、縦型 MISFET (SV_1 、 SV_2) のドレイン電流 (I_{ds}) の低下を抑制できる程度の薄い膜厚 (数 nm 以下) で形成する。

【 0 0 9 4 】

次に、図 3 9 に示すように、基板 1 を熱酸化することによって、積層体 (P_1 、 P_2) を構成する下部半導体層 5 7、中間半導体層 5 8 および上部半導体層 5 9 のそれぞれの側壁表面に酸化シリコン膜からなるゲート絶縁膜 6 3 を形成する。このとき、積層体 (P_1 、 P_2) の下層に形成されている多結晶シリコン膜からなるゲート引き出し電極 5 1 やスルーホール 5 3 の内部のプラグ 5 5 は、酸化シリコン系の絶縁膜 (酸化シリコン膜 5 2、サイドウォールスペーサ 5 4) で被覆されているので、ゲート引き出し電極 5 1 やプラグ 5 5 の表面が酸化されて抵抗が大きくなる虞れはない。また、積層体 (P_1 、 P_2) とその上部の窒化シリコン膜 6 2 との間には酸化シリコン膜 6 1 が形成されているので、上部半導体層 5 9 の表面に形成されるゲート絶縁膜 6 3 と窒化シリコン膜 6 2 との接触が防止され、積層体 (P_1 、 P_2) の上端部近傍におけるゲート絶縁膜 6 3 の耐圧低下を防ぐことができる。

【 0 0 9 5 】

積層体 (P_1 、 P_2) の側壁のゲート絶縁膜 6 3 は、例えば 8 0 0 °C 以下の低温熱酸化 (例えばウェット酸化) によって形成されるが、これに限定されず、例え

ばCVD法で堆積した酸化シリコン膜や、CVD法で堆積した酸化ハフニウム (HfO_2)、酸化タンタル (Ta_2O_5) などの高誘電体膜で構成してもよい。この場合は、ゲート絶縁膜63をさらに低温で形成することができるので、不純物の拡散などに起因する縦型MISFET (SV_1 、 SV_2) のしきい値電圧の変動を抑制することができる。

【0096】

次に、図40に示すように、四角柱状の積層体 (P_1 、 P_2) およびその上部の窒化シリコン膜62の側壁に縦型MISFET (SV_1 、 SV_2) のゲート電極 (66) の一部を構成する導電膜として、例えば第1多結晶シリコン層64を形成する。第1多結晶シリコン層64を形成するには、酸化シリコン膜52の上部にCVD法で多結晶シリコン膜を堆積した後、この多結晶シリコン膜を異方的にエッチングすることによって、四角柱状の積層体 (P_1 、 P_2) および窒化シリコン膜62の側壁を囲むようにサイドウォールスペーサ状に残す。このように、ゲート電極 (66) の一部を構成する第1多結晶シリコン層64は、四角柱状の積層体 (P_1 、 P_2) およびゲート絶縁膜63に対して自己整合的に形成されるので、メモリセルサイズを縮小できる。第1多結晶シリコン層64を構成する多結晶シリコン膜は、その導電性をp型とするためにホウ素をドーピングする。

【0097】

上記多結晶シリコン膜をエッチングして第1多結晶シリコン層64を形成する際は、多結晶シリコン膜のエッチングに引き続いて下層の酸化シリコン膜52をエッチングする。これにより、四角柱状の積層体 (P_1 、 P_2) の直下を除いた領域の酸化シリコン膜52が除去され、ゲート引き出し電極51および窒化シリコン膜49が露出する。なお、第1多結晶シリコン層64の下端部とゲート引き出し電極51との間には酸化シリコン膜52が残っているので、第1多結晶シリコン層64とゲート引き出し電極51とは電氣的に接続されない。

【0098】

次に、図41に示すように、第1多結晶シリコン層64の表面に導電膜として、例えば第2多結晶シリコン層65を形成する。第2多結晶シリコン層65を形成するには、酸化シリコン膜52の上部にCVD法で多結晶シリコン膜を堆積し

た後、この多結晶シリコン膜を異方的にエッチングすることによって、第1多結晶シリコン層64の表面を囲むようにサイドウォールスペーサ状に残す。第2多結晶シリコン層65を構成する多結晶シリコン膜は、その導電性をp型とするためにホウ素をドーピングする。

【0099】

第2多結晶シリコン層65を構成する上記多結晶シリコン膜は、四角柱状の積層体(P_1 、 P_2)の直下に残った酸化シリコン膜52の側壁やゲート引き出し電極51の表面にも堆積されるので、この多結晶シリコン膜を異方的にエッチングすると、その下端部がゲート引き出し電極51の表面と接触する。

【0100】

このように、下端部がゲート引き出し電極51に電氣的に接続する第2多結晶シリコン層65を第1多結晶シリコン層64に対して自己整合的に形成されるので、メモリセルサイズを縮小できる。

【0101】

ここまでの工程により、四角柱状の積層体(P_1 、 P_2)および窒化シリコン膜62の側壁に、第1多結晶シリコン層64と第2多結晶シリコン膜65の積層膜からなる縦型MISFET(SV_1 、 SV_2)のゲート電極66が形成される。このゲート電極66は、その一部を構成する第2多結晶シリコン膜65を介してゲート引き出し電極51と電氣的に接続される。

【0102】

すなわち、縦型MISFET(SV_1)のゲート電極66を構成する第1多結晶シリコン層64と第2多結晶シリコン膜65は、下端部がゲート引き出し電極51bに電氣的に接続され、縦型MISFET(SV_2)のゲート電極66を構成する第1多結晶シリコン層64と第2多結晶シリコン膜65は、下端部がゲート引き出し電極51aに電氣的に接続される。

【0103】

このように、ゲート電極(66)の一部を構成する第1多結晶シリコン層64を、四角柱状の積層体(P_1 、 P_2)およびゲート絶縁膜63に対してサイドウォールスペーサ状に自己整合的に形成する。下端部がゲート引き出し電極51a、

5 1 b に電氣的に接続する第 2 多結晶シリコン層 6 5 を第 1 多結晶シリコン層 6 4 に対してサイドウォールスペーサ状に自己整合的に形成する。これにより、メモリセルサイズを縮小できる。すなわち、ゲート電極 (6 6) を、四角柱状の積層体 (P_1 、 P_2) およびゲート絶縁膜 6 3 に対して自己整合的に形成する。また、ゲート電極 (6 6) をゲート引き出し電極 5 1 a、5 1 b に対して自己整合的に接続する。これにより、メモリセルサイズを縮小できる。

【0 1 0 4】

上記のように、ゲート電極 6 6 を 2 層の導電膜 (第 1 多結晶シリコン層 6 4 および第 2 多結晶シリコン膜 6 5) で構成する場合は、第 2 多結晶シリコン膜 6 5 に代えて W シリサイド膜や W 膜を用いることにより、ゲート電極 6 6 を低抵抗のシリサイド構造あるいはポリメタル構造にすることもできる。

【0 1 0 5】

次に、図 4 2 に示すように、基板 1 上に絶縁膜として例えば C V D 法で酸化シリコン膜 7 0 を堆積した後、化学的機械研磨法でその表面を平坦化する。酸化シリコン膜 7 0 は、平坦化後の表面の高さが窒化シリコン膜 6 2 の表面より高くなるように厚い膜厚で堆積し、平坦化処理時に窒化シリコン膜 6 2 の表面が削れないようにする。

【0 1 0 6】

次に、図 4 3 に示すように、酸化シリコン膜 7 0 をエッチングしてその表面を積層体 (P_1 、 P_2) の中途部まで後退させた後、図 4 4 に示すように、積層体 (P_1 、 P_2) および窒化シリコン膜 6 2 の側壁に形成されたゲート電極 6 6 をエッチングしてその上端部を下方に後退させる。

【0 1 0 7】

上記ゲート電極 6 6 のエッチングは、後の工程で積層体 (P_1 、 P_2) の上部に形成される電源電圧線 (9 0) とゲート電極 6 6 との短絡を防ぐために行う。従って、ゲート電極 6 6 は、その上端部が上部半導体層 5 9 の上端部よりも下方に位置するまで後退させる。但し、ゲート電極 6 6 と上部半導体層 (ソース) 5 9 とのオフセットを防ぐため、ゲート電極 6 6 の上端部が中間半導体層 5 8 の上端部より上方に位置するようにエッチング量を制御する。

【 0 1 0 8 】

図 4 4 および図 4 5 に示すように、ここまでの工程により、メモリアレイの各メモリセル領域に、下部半導体層（ドレイン）5 7、中間半導体層（基板）5 8 および上部半導体層（ソース）からなる積層体（ P_1 、 P_2 ）と、積層体（ P_1 、 P_2 ）の側壁に形成されたゲート絶縁膜 6 3 およびゲート電極 6 6 とを有する p チャンネル型の縦型 MISFET（ SV_1 、 SV_2 ）が形成される。

【 0 1 0 9 】

次に、図 4 6 に示すように、酸化シリコン膜 7 0 の上部に露出した縦型 MISFET（ SV_1 、 SV_2 ）のゲート電極 6 6 および上部半導体層 5 9 とその上部の窒化シリコン膜 6 2 の側壁に酸化シリコン膜からなるサイドウォールスペーサ 7 1 を形成した後、酸化シリコン膜 7 0 の上部に CVD 法で窒化シリコン膜 7 2 を堆積する。サイドウォールスペーサ 7 1 は、CVD 法で堆積した酸化シリコン膜を異方性エッチングすることによって形成する。

【 0 1 1 0 】

次に、図 4 7 に示すように、窒化シリコン膜 7 2 の上部に CVD 法で酸化シリコン膜 7 3 を堆積した後、酸化シリコン膜 7 3 の表面を化学的機械研磨法で平坦化する。

【 0 1 1 1 】

次に、図 4 8 および図 4 9 に示すように、フォトリジスト膜をマスクにして酸化シリコン膜 7 3、窒化シリコン膜 7 2 および酸化シリコン膜 7 0 をドライエッチングすることにより、ゲート引き出し電極 5 1 および中間導電層 4 2 の表面が露出するスルーホール 7 4 と、ゲート引き出し電極 5 1 および中間導電層 4 3 の表面が露出するスルーホール 7 5 を形成する。またこのとき、図 4 8 に示すように、中間導電層 4 1、4 4、4 5 のそれぞれの表面が露出するスルーホール 7 6、7 7、7 8 を形成し、周辺回路の第 1 層配線 4 6、4 7 の表面が露出するスルーホール 7 9 を形成する。

【 0 1 1 2 】

次に、図 5 0 に示すように、上記スルーホール 7 4～7 9 の内部にプラグ 8 0 を形成する。プラグ 8 0 を形成するには、例えばスルーホール 7 4～7 9 の内部

を含む酸化シリコン膜 7 3 上にスパッタリング法で T i 膜および T i N 膜を堆積し、続いて C V D 法で T i N 膜および W 膜を堆積した後、スルーホール 7 4 ~ 7 9 の外部の W 膜、T i N 膜および T i 膜を化学的機械研磨法によって除去する。

【 0 1 1 3 】

ここまでの工程により、ゲート引き出し電極 5 1 a と、プラグ 8 0 と、中間導電層 4 2 と、プラグ 2 8 とを介して、縦型 M I S F E T (S V ₂) のゲート電極 6 6 と、転送 M I S F E T (T R ₁) のソース、ドレインの一方および駆動 M I S F E T (D R ₁) のソースを構成する n⁺型半導体領域 1 4 と、駆動 M I S F E T (D R ₂) のゲート電極 7 B とが互いに電氣的に接続される。また、ゲート引き出し電極 5 1 b と、プラグ 8 0 と、中間導電層 4 3 と、プラグ 2 8 とを介して、縦型 M I S F E T (S V ₁) のゲート電極 6 6 と、転送 M I S F E T (T R ₂) のソース、ドレインの一方および駆動 M I S F E T (D R ₂) のソースを構成する n⁺型半導体領域 1 4 と、駆動 M I S F E T (D R ₁) のゲート電極 7 B とが互いに電氣的に接続される。

【 0 1 1 4 】

また、ここまでの工程により、2 個の転送 M I S F E T (T R ₁、T R ₂)、2 個の駆動 M I S F E T (D R ₁、D R ₂) および 2 個の縦型 M I S F E T (S V ₁、S V ₂) によって構成されるメモリセルが略完成する。

【 0 1 1 5 】

次に、図 5 1 に示すように、酸化シリコン膜 7 3 の上部に絶縁膜として C V D 法で酸化シリコン膜 8 1 を堆積した後、フォトレジスト膜をマスクにしたドライエッチングで積層体 (P ₁、P ₂) の上部の酸化シリコン膜 8 1、7 3 および窒化シリコン膜 7 2、6 2 を除去することにより、縦型 M I S F E T (S V ₁、S V ₂) の上部半導体層 (ソース) 5 9 が露出するスルーホール 8 2 を形成する。

【 0 1 1 6 】

上記ドライエッチングを行う際は、まず積層体 (P ₁、P ₂) の上部の酸化シリコン膜 8 1、7 3 が除去された段階でエッチングを一旦停止し、次に窒化シリコン膜 7 2、6 2 をエッチングする。このとき、図 5 2 に示すように、フォトマスクの合わせずれによって、スルーホール 8 2 と上部半導体層 5 9 の相対的な位置

が例えばB-B'線方向にずれた場合でも、窒化シリコン膜62および上部半導体層59の側壁には酸化シリコン膜からなるサイドウォールスペーサ71が形成されているので、窒化シリコン膜72、62をエッチングしたときに、ゲート電極66の上部がサイドウォールスペーサ71によって保護され、ゲート電極66の露出が防止される。

【0117】

次に、図53に示すように、周辺回路のスルーホール79の上部を覆っている酸化シリコン膜81をエッチングしてスルーホール83を形成することにより、スルーホール79に埋め込まれたプラグ80の表面を露出させる。また、メモリアレイに形成されたスルーホール76～78の上部を覆っている酸化シリコン膜81をエッチングしてスルーホール84（図54）を形成することにより、スルーホール76～78に埋め込まれたプラグ80の表面を露出させる。

【0118】

次に、図55に示すように、スルーホール82、83、84の内部にプラグ85を形成する。プラグ85を形成するには、例えばスルーホール82、83、84の内部を含む酸化シリコン膜81上にスパッタリング法でTiN膜を堆積し、続いてCVD法でTiN膜およびW膜を堆積した後、スルーホール82、83、84の外部のTiN膜およびW膜を化学的機械研磨法によって除去する。

【0119】

次に、図56および図57に示すように、酸化シリコン膜81の上部にCVD法で炭化シリコン膜86と酸化シリコン膜87とを堆積した後、フォトリジスト膜をマスクにしてスルーホール82、83、84の上部の酸化シリコン膜87と炭化シリコン膜86とをドライエッチングすることにより、配線溝88を形成する。図57に示すように、縦型MISFET(SV_1 、 SV_2)の上方に位置するスルーホール82の上部に形成された配線溝88と、この配線溝88の両側に隣接して形成された2つの配線溝88は、Y方向に延在する帯状の平面パターンを有している。また、メモリセルの端部に形成された4つの配線溝88は、Y方向に長辺を有する矩形の平面パターンを有している。

【0120】

次に、図 5 8 および図 5 9 に示すように、縦型 M I S F E T ($S V_1$ 、 $S V_2$) の上方を通る配線溝 8 8 の内部に電源電圧線 9 0 (V_{dd}) を形成し、周辺回路領域の配線溝 8 8 の内部に第 2 層配線 8 9 を形成する。また、転送 M I S F E T ($T R_1$) および駆動 M I S F E T ($D R_1$) の n^+ 型半導体領域 1 4 (ソース、ドレイン) 及びプラグ 8 0 の上方を通る配線溝 8 8 の内部に相補性データ線 ($B L T$ 、 $B L B$) の一方 (データ線 $B L T$) を形成し、転送 M I S F E T ($T R_2$) および駆動 M I S F E T ($D R_2$) の n^+ 型半導体領域 1 4 (ソース、ドレイン) 及びプラグ 8 0 の上方を通る配線溝 8 8 の内部に相補性データ線 ($B L T$ 、 $B L B$) の他方 (データ線 $B L B$) を形成する。さらに、メモリセルの端部に形成された 4 つの配線溝 8 8 の内部に引き出し配線 9 2 を形成する。

【 0 1 2 1 】

電源電圧線 9 0 (V_{dd})、相補性データ線 ($B L T$ 、 $B L B$)、第 2 層配線 8 9 および引き出し配線 9 2 を形成するには、配線溝 8 8 の内部を含む酸化シリコン膜 8 7 上に導電性バリア膜として例えばスパッタリング法で窒化タンタル ($T a N$) 膜または $T a$ 膜を堆積し、さらにスパッタリング法またはメッキ法で金属膜である $C u$ 膜を堆積した後、配線溝 8 8 の外部の不要な $C u$ 膜および $T a N$ 膜を化学的機械研磨法で除去する。

【 0 1 2 2 】

電源電圧線 9 0 (V_{dd}) は、プラグ 8 5 を介して縦型 M I S F E T ($S V_1$ 、 $S V_2$) の上部半導体層 (ソース) 5 9 と電気的に接続される。また、相補性データ線 ($B L T$ 、 $B L B$) の一方 (データ線 $B L T$) は、プラグ 8 4、8 0、中間導電層 4 4 およびプラグ 2 8 を介して転送 M I S F E T ($T R_1$) の n^+ 型半導体領域 1 4 (ソース、ドレインの他方) と電気的に接続され、他方 (データ線 $B L B$) は、プラグ 8 4、8 0、中間導電層 4 4 およびプラグ 2 8 を介して転送 M I S F E T ($T R_2$) の n^+ 型半導体領域 1 4 (ソース、ドレインの他方) と電気的に接続される。

【 0 1 2 3 】

次に、図 6 0 および図 6 1 に示すように、上記電源電圧線 9 0 (V_{dd})、相補性データ線 ($B L T$ 、 $B L B$)、第 2 層配線 8 9 および引き出し配線 9 2 が形成

された配線層の上部に基準電圧線 9 1 (Vss) およびワード線 (WL) を形成する。基準電圧線 9 1 (Vss) およびワード線 (WL) は、図 6 1 の X 方向に延在する帯状の平面パターンを有している。

【 0 1 2 4 】

基準電圧線 9 1 (Vss) およびワード線 (WL) を形成するには、まず酸化シリコン膜 8 7 の上部に絶縁膜 9 3 を堆積した後、この絶縁膜 9 3 に配線溝 9 4 を形成し、続いてこの配線溝 9 4 の内部を含む絶縁膜 9 3 上に前述した方法で Cu 膜および TaN 膜を堆積した後、配線溝 9 4 の外部の不要な Cu 膜および TaN 膜を化学的機械研磨法で除去する。絶縁膜 9 3 は、例えば CVD 法で堆積した酸化シリコン膜と炭化シリコン膜と酸化シリコン膜との積層膜で構成する。また、絶縁膜 9 3 に配線溝 9 4 を形成する際には、メモリセルの端部に形成された 4 つの引き出し配線 9 2 のそれぞれの上部の配線溝 9 4 に開口 9 4 a を形成し、これらの開口 9 4 a を通じて 4 つの引き出し配線 9 2 のそれぞれの一部を配線溝 9 4 の底部に露出させる。

【 0 1 2 5 】

基準電圧線 9 1 (Vss) は、引き出し配線 9 2、プラグ 8 4、8 0、中間導電層 4 5 およびプラグ 2 8 を介して駆動 MISFET (DR_1 、 DR_2) のそれぞれの n^+ 型半導体領域 1 4 (ソース) と電氣的に接続される。また、ワード線 (WL) は、引き出し配線 9 2、プラグ 8 4、8 0、中間導電層 4 1 およびプラグ 2 8 を介して転送 MISFET (TR_1 、 TR_2) のそれぞれ n^+ 型半導体領域 1 4 (ソース、ドレインの他方) と電氣的に接続される。ここまでの工程により、前記図 2、図 3 に示す本実施の形態の SRAM が完成する。

【 0 1 2 6 】

このように、周辺回路を構成する MISFET 間の電氣的接続を、縦型 MISFET (SV_1 、 SV_2) よりも下部に形成されるプラグ 2 8 及び中間導電層 4 6、4 7 で行うとともに、縦型 MISFET (SV_1 、 SV_2) よりも上部に形成されるプラグ、第 1 及び第 2 金属配線層を用いて行うことにより、配線の自由度を向上でき、高集積化できる。また、MISFET 間の接続抵抗を低減でき、回路の動作スピード向上できる。

【 0 1 2 7 】

(実施の形態 2)

縦型 MISFET (SV_1 、 SV_2) の下部のプラグ 5 5 およびバリア層 4 8 は、次のような方法で形成することもできる。

【 0 1 2 8 】

まず、図 6 2 に示すように、前記実施の形態 1 と同様の方法で転送 MISFET (TR_1 、 TR_2) および駆動 MISFET (DR_1 、 DR_2) を形成し、それらの上部に中間導電層 4 2 を形成する。

【 0 1 2 9 】

次に、本実施の形態では、中間導電層 4 2 の上部にバリア層 4 8 を構成する WN 膜 4 8 a をスパッタリング法で堆積し、さらにその上部にプラグ 5 5 を構成する多結晶シリコン膜 (またはアモルファスシリコン膜) 5 5 a を CVD 法で堆積し、さらにその上部に CVD 法で酸化シリコン膜 1 0 1 を堆積する。多結晶シリコン膜 5 0 は、縦型 MISFET (SV_1 、 SV_2) のゲート電極 (6 6) を構成する多結晶シリコン膜 (6 4、6 5) と同一の導電型 (例えば p 型) とするためにホウ素をドーピングする。

【 0 1 3 0 】

次に、図 6 3 に示すように、フォトリジスト膜をマスクにして酸化シリコン膜 1 0 1 をドライエッチングすることにより、プラグ 5 5 を形成する領域に酸化シリコン膜 1 0 1 を残し、続いてこの酸化シリコン膜 1 0 1 をマスクにして多結晶シリコン膜 5 0 および WN 膜 4 8 a をドライエッチングすることにより、プラグ 5 5 およびバリア層 4 8 を形成する。

【 0 1 3 1 】

次に、図 6 4 に示すように、CVD 法で堆積した酸化シリコン膜 1 0 2 を化学的機械研磨法で平坦化する。このとき、プラグ 5 5 の上部に残ったエッチングマスク用の酸化シリコン膜 1 0 1 をプラグ 5 5 の表面が露出するまで研磨する。

【 0 1 3 2 】

上記の方法によれば、プラグ 5 5 およびバリア層 4 8 を 1 回のエッチングで同時に形成するので、バリア層 4 8 を形成するためのフォトマスクが不要となり、

工程を簡略化できる。

【 0 1 3 3 】

(実施の形態 3)

縦型 MISFET (SV_1 、 SV_2) のゲート電極と下層の転送 MISFET (TR_1 、 TR_2) および駆動 MISFET (DR_1 、 DR_2) との接続に使用されるゲート引き出し電極は、次のような方法で形成することもできる。

【 0 1 3 4 】

まず、図 6 5 に示すように、前記実施の形態 1 と同様の方法で積層体 (P_1 、 P_2) を形成した後、例えば基板 1 を熱酸化することによって、中間半導体層 5 8 および上部半導体層 5 9 のそれぞれの側壁表面に酸化シリコン膜からなるゲート絶縁膜 6 3 を形成する。

【 0 1 3 5 】

次に積層体 (P_1 、 P_2) の上部にゲート引き出し電極用の多結晶シリコン膜 (またはアモルファスシリコン膜) 1 0 3 を CVD 法で堆積し、続いて、CVD 法で酸化シリコン膜 1 0 4 を堆積した後、化学的機械研磨法でその表面を平坦化する。酸化シリコン膜 1 0 4 は、平坦化後の表面の高さが窒化シリコン膜 6 2 の表面より高くなるように厚い膜厚で堆積し、平坦化処理時に窒化シリコン膜 6 2 の表面が削れないようにする。

【 0 1 3 6 】

次に、図 6 6 に示すように、フォトリジスト膜をマスクにしたドライエッチングでゲート引き出し電極形成領域の酸化シリコン膜 1 0 4 を積層体 (P_1 、 P_2) の中途部まで除去することによって、ゲート引き出し電極形成領域の酸化シリコン膜 1 0 4 に溝 1 0 5 を形成する。次に、例えばフォトリジスト膜 1 0 6 または反射防止膜のように、酸化シリコン膜 1 0 4 とはエッチングの選択比が異なる材料を溝 1 0 5 の内部に埋め込む。フォトリジスト膜 1 0 6 を埋め込む場合は、溝 1 0 5 の内部を含む酸化シリコン膜 1 0 4 上にフォトリジスト膜 1 0 6 を塗布した後、露光、現像を行い、溝 1 0 5 の内部に未露光のフォトリジスト膜 1 0 6 を残す。

【 0 1 3 7 】

次に、図 6 7 に示すように、溝 1 0 5 の内部に埋め込んだフォトレジスト膜 1 0 6 をマスクにして酸化シリコン膜 1 0 4 をドライエッチングすることにより、ゲート引き出し電極形成領域のみに酸化シリコン膜 1 0 4 を残す。

【 0 1 3 8 】

次に、酸化シリコン膜 1 0 4 上のフォトレジスト膜 1 0 6 を除去した後、図 6 8 に示すように、酸化シリコン膜 1 0 4 をマスクにして多結晶シリコン膜 1 0 3 を異方性エッチングし、積層体 (P_1 、 P_2) の側壁および酸化シリコン膜 1 0 4 の下部に、多結晶シリコン膜 1 0 3 からなる縦型 MISFET (SV_1 、 SV_2) のゲート電極 1 0 7 を形成する。このとき、酸化シリコン膜 1 0 4 の下部に残ったゲート電極 1 0 7 の一部がゲート引き出し電極部となる。

【 0 1 3 9 】

次に、酸化シリコン膜 1 0 4 を除去した後、図 6 9 に示すように、前記実施の形態 1 と同様の方法でゲート電極 1 0 7 の一部（ゲート引き出し電極部）に接続されるプラグ 8 0 を形成し、その後、図 7 0 に示すように、前記実施の形態 1 と同様の方法で電源電圧線 9 0 (V_{dd}) および相補性データ線 (BLT 、 BLB) を形成する。

【 0 1 4 0 】

上記の方法によれば、縦型 MISFET (SV_1 、 SV_2) のゲート電極 1 0 7 とゲート引き出し電極とを同時に形成することができると共に、ゲート電極 1 0 7 を一層の多結晶シリコン膜 1 0 3 で構成できるので、縦型 MISFET (SV_1 、 SV_2) の形成工程を簡略化できる。

【 0 1 4 1 】

（実施の形態 4）

縦型 MISFET (SV_1 、 SV_2) の上部半導体層 5 9 と相補性データ線 (BLT 、 BLB) を接続するスルーホールは、次のような方法で形成することもできる。

【 0 1 4 2 】

まず、図 7 1 に示すように、前記実施の形態 1 と同様の方法で積層体 (P_1 、 P_2) の側壁にゲート電極 6 6 を形成した後、基板 1 上に堆積した酸化シリコン

膜 7 0 をエッチングしてその表面を積層体 (P_1 、 P_2) の中途部まで後退させた後、積層体 (P_1 、 P_2) および窒化シリコン膜 6 2 の側壁に形成されたゲート電極 6 6 をエッチングしてその上端部を下方に後退させる。ここまでの工程は、前記実施の形態 1 と同じ (図 4 4 参照) である。

【0 1 4 3】

次に、図 7 2 に示すように、酸化シリコン膜 7 0 上に C V D 法で堆積した窒化シリコン膜 1 0 8 を異方性エッチングすることにより、酸化シリコン膜 7 0 の上部に露出した積層体 (P_1 、 P_2) およびゲート電極 6 6 の側壁に窒化シリコン膜 1 0 8 からなるサイドウォールスペーサ 1 0 8 a を形成する。このとき、積層体 (P_1 、 P_2) の上部に形成された窒化シリコン膜 6 2 もエッチングされ、その膜厚が薄くなる。

【0 1 4 4】

次に、図 7 3 に示すように、酸化シリコン膜 7 0 上に C V D 法で酸化シリコン膜 1 0 9 を堆積した後、前記実施の形態 1 と同様の方法でゲート引き出し電極 5 1 の上部にスルーホール 7 5 を形成し、スルーホール 7 5 の内部にプラグ 8 0 を形成する。

【0 1 4 5】

次に、図 7 4 に示すように、酸化シリコン膜 1 0 9 上に C V D 法で酸化シリコン膜 1 1 0 を堆積した後、フォトリジスト膜をマスクにして、積層体 (P_1 、 P_2) の上部の酸化シリコン膜 1 1 0、1 0 9 および窒化シリコン膜 6 2 を順次ドライエッチングすることにより、積層体 (P_1 、 P_2) の上部に上部半導体層 5 9 が露出するスルーホール 8 2 を形成する。

【0 1 4 6】

このとき、フォトマスクの合わせずれによって、スルーホール 8 2 と上部半導体層 5 9 の相対的な位置がずれた場合でも、上部半導体層 5 9 の上部の窒化シリコン膜 6 2 は、ゲート電極 6 6 の上部の窒化シリコン膜 1 0 8 からなるサイドウォールスペーサ 1 0 8 a に比べて膜厚が薄いため、サイドウォールスペーサ 1 0 8 a で覆われた領域のゲート電極 6 6 が露出する前に上部半導体層 5 9 を露出させることができる。

【 0 1 4 7 】

図示は省略するが、その後、前記実施の形態 1 と同様の方法でスルーホール 8 2 の内部にプラグ (8 5) を形成し、さらにプラグ (8 5) の上部に相補性データ線 (B L T 、 B L B) を形成する。

【 0 1 4 8 】

上記スルーホール 8 2 は、次のような方法で形成することもできる。この方法は、図 7 5 に示すように、縦型 M I S F E T ($S V_1$ 、 $S V_2$) の上部半導体層 5 9 を構成する p 型シリコン膜 (5 9 p) とその上部の窒化シリコン膜 6 2 との間に介在する酸化シリコン膜 6 1 の膜厚を前記実施の形態 1 よりも厚く形成しておき、その後、前記実施の形態 1 と同様の方法で積層体 (P_1 、 P_2) を形成する。

【 0 1 4 9 】

次に、図 7 6 に示すように、前記実施の形態 1 と同様の方法で積層体 (P_1 、 P_2) の側壁にゲート電極 6 6 を形成した後、基板 1 上に堆積した酸化シリコン膜 7 0 をエッチングしてその表面を積層体 (P_1 、 P_2) の中途部まで後退させ、さらに積層体 (P_1 、 P_2) および窒化シリコン膜 6 2 の側壁に形成されたゲート電極 6 6 をエッチングしてその上端部を下方に後退させる。

【 0 1 5 0 】

次に、図 7 7 に示すように、酸化シリコン膜 7 0 上に C V D 法で堆積した窒化シリコン膜 1 0 8 を異方性エッチングすることにより、酸化シリコン膜 7 0 の上部に露出した積層体 (P_1 、 P_2) およびゲート電極 6 6 の側壁に窒化シリコン膜 1 0 8 からなるサイドウォールスペーサ 1 0 8 a を形成する。このとき、積層体 (P_1 、 P_2) の上部に形成された窒化シリコン膜 6 2 を同時にエッチングし、その下層の酸化シリコン膜 6 1 を露出させる。

【 0 1 5 1 】

次に、図 7 8 に示すように、酸化シリコン膜 7 0 上に C V D 法で酸化シリコン膜 1 0 9 を堆積した後、前記実施の形態 1 と同様の方法でゲート引き出し電極 5 1 の上部にスルーホール 7 5 を形成し、スルーホール 7 5 の内部にプラグ 8 0 を形成する。

【 0 1 5 2 】

次に、図 7 9 に示すように、酸化シリコン膜 1 0 9 上に C V D 法で酸化シリコン膜 1 1 0 を堆積した後、フォトリソ膜をマスクにして、積層体 (P_1 、 P_2) の上部の酸化シリコン膜 1 0 9 および酸化シリコン膜 6 1 をドライエッチングすることにより、積層体 (P_1 、 P_2) の上部に上部半導体層 5 9 が露出するスルーホール 8 2 を形成する。

【 0 1 5 3 】

このとき、フォトリソの合わせずれによって、スルーホール 8 2 と上部半導体層 5 9 の相対的な位置がずれた場合でも、ゲート電極 6 6 の上部は、窒化シリコン膜 1 0 8 からなるサイドウォールスペーサ 1 0 8 a で覆われているので、ゲート電極 6 6 を露出させることなく、上部半導体層 5 9 を露出させることができる。

【 0 1 5 4 】

図示は省略するが、その後、前記実施の形態 1 と同様の方法でスルーホール 8 2 の内部にプラグ (8 5) を形成し、さらにプラグ (8 5) の上部に相補性データ線 (B L T、B L B) を形成する。

【 0 1 5 5 】

(実施の形態 5)

縦型 M I S F E T ($S V_1$ 、 $S V_2$) のゲート電極と下層の転送 M I S F E T ($T R_1$ 、 $T R_2$) および駆動 M I S F E T ($D R_1$ 、 $D R_2$) との接続は、次のような方法で行うこともできる。

【 0 1 5 6 】

まず、図 8 0 に示すように、p 型ウェル 4 の主面に転送 M I S F E T ($T R_1$ 、 $T R_2$) および駆動 M I S F E T ($D R_1$ 、 $D R_2$) を形成し、続いて転送 M I S F E T ($T R_1$ 、 $T R_2$) および駆動 M I S F E T ($D R_1$ 、 $D R_2$) の上部を覆う酸化シリコン膜にコンタクトホール 2 2 ~ 2 4 を形成した後、コンタクトホール 2 2 ~ 2 4 の内部に W 膜を主成分とするプラグ 2 8 を埋め込む。そして、酸化シリコン膜 2 0 の上部に窒化シリコン膜 2 9 と酸化シリコン膜 3 0 とを堆積した後、フォトリソ膜をマスクにして酸化シリコン膜 2 9 および窒化シリコン膜 3 0 をドライエッチングすることにより、コンタクトホール 2 2 ~ 2 4 のそれぞ

れの上部に溝 3 1 ~ 3 4 を形成する。ここまでの工程は、前記実施の形態 1 の図 4 ~ 図 2 3 に示す工程と同じである。

【 0 1 5 7 】

次に、図 8 1 に示すように、溝 3 1 ~ 3 4 の内部に中間導電層 4 2 ~ 4 4 を形成する。接続用導電層 4 2 ~ 4 4 は、例えば W シリサイド (WSi_2) 膜のような耐酸化性の導電膜で構成する。接続用導電層 4 2 ~ 4 4 を W シリサイド膜で構成する場合は、例えば溝 3 1 ~ 3 4 の内部を含む酸化シリコン膜 3 0 上にスパッタリング法で Ti N 膜などの接着層を堆積し、次にスパッタリング法でその上部に W シリサイド膜を堆積した後、溝 3 1 ~ 3 4 の外部の W シリサイド膜および Ti N 膜を化学的機械研磨法によって除去する。中間導電層 4 2 ~ 4 4 を W シリサイド膜のような耐酸化性の導電膜で構成することにより、中間導電層 4 2 ~ 4 4 の表面にバリア層 (4 8) を形成したり、バリア層 (4 8) の上部に多結晶シリコン膜からなるプラグ (5 5) を形成したりする工程が不要となる。

【 0 1 5 8 】

次に、図 8 2 に示すように、前記実施の形態 1 の図 3 5 ~ 図 3 8 に示す工程に従って、酸化シリコン膜 2 0 の上部に 3 層のシリコン膜 (5 7 p、5 8 i、5 9 p) と酸化シリコン膜 6 1 および窒化シリコン膜 6 2 を堆積し、続いて窒化シリコン膜 6 2 をマスクにして 3 層のシリコン膜 (5 7 p、5 8 i、5 9 p) をドライエッチングすることにより、p 型シリコン膜 5 7 p からなる下部半導体層 5 7、シリコン膜 5 8 i からなる中間半導体層 5 8、p 型シリコン膜 5 9 p からなる上部半導体層 5 9 によって構成される積層体 (P_1 、 P_2) を形成する。

【 0 1 5 9 】

次に、図 8 3 に示すように、基板 1 を熱酸化することによって、積層体 (P_1 、 P_2) を構成する下部半導体層 5 7、中間半導体層 5 8 および上部半導体層 5 9 のそれぞれの側壁表面に酸化シリコン膜からなるゲート絶縁膜 6 3 を形成する。このとき、積層体 (P_1 、 P_2) で覆われていない領域の中間導電層 4 2 ~ 4 4 も酸化雰囲気中に晒されるが、中間導電層 4 2 ~ 4 4 は、耐酸化性の導電膜で構成されているので、表面が酸化されても、内部が酸化されることはない。

【 0 1 6 0 】

次に、図 8 4 に示すように、前記実施の形態 1 の図 4 0 ～図 4 2 に示す工程に従って、積層体 (P_1 、 P_2) およびその上部の窒化シリコン膜 6 2 の側壁に縦型 MISFET (SV_1 、 SV_2) のゲート電極 6 6 を形成し、続いて、基板 1 上に CVD 法で酸化シリコン膜 7 0 を堆積した後、化学的機械研磨法でその表面を平坦化する。ゲート電極 6 6 は、例えば p 型の多結晶シリコン膜で構成するが、ここでは 1 層の多結晶シリコン膜で構成することができる。

【 0 1 6 1 】

次に、図 8 5 に示すように、フォトリジスト膜をマスクにして酸化シリコン膜 7 0 をドライエッチングすることにより、積層体 (P_1 、 P_2) の周囲を開口する溝 9 5 を形成する。

【 0 1 6 2 】

次に、図 8 6 に示すように、溝 9 5 の内部を含む酸化シリコン膜 7 0 上に CVD 法で p 型多結晶シリコン膜を堆積した後、溝 9 5 の外部の多結晶シリコン膜を化学的機械研磨またはエッチバックによって除去する。続いて、溝 9 5 の内部の多結晶シリコン膜およびゲート電極 6 3 をエッチバックすることによって、多結晶シリコン膜およびゲート電極 6 3 のそれぞれの上面を酸化シリコン膜 7 0 の上面よりも下方に後退させ、溝 9 5 の内部に多結晶シリコン膜からなるゲート引き出し電極 9 6 を形成する。その後、ゲート引き出し電極 9 6 の表面に例えば C o シリサイドなどのシリサイド層を形成することによって、次の工程でゲート引き出し電極 9 6 の上部に形成するプラグ (8 0) とゲート引き出し電極 9 6 のコンタクト抵抗を低減してもよい。

【 0 1 6 3 】

次に、図 8 7 に示すように、溝 9 5 の内部に酸化シリコン膜 9 7 を埋め込んでその表面を平坦化した後、前記実施の形態 1 の図 4 8 ～図 5 0 に示す工程に従って、酸化シリコン膜 7 0 をドライエッチングすることにより、ゲート引き出し電極 9 6 および中間導電層 4 2 の表面が露出するスルーホール 7 4 を形成し、続いてスルーホール 7 4 の内部にプラグ 8 0 を形成する。プラグ 8 0 を形成するには、例えばスルーホール 7 4 ～7 9 の内部を含む酸化シリコン膜 7 3 上にスパッタリング法で T i 膜および T i N 膜を堆積し、続いて CVD 法で T i N 膜および W

膜を堆積した後、スルーホール 7 4 ~ 7 9 の外部の W 膜、T i N 膜および T i 膜を化学的機械研磨法によって除去する。これにより、ゲート引き出し電極 9 6 と、プラグ 8 0 と、中間導電層 4 2 と、プラグ 2 8 とを介して、縦型 M I S F E T (SV_2) のゲート電極 6 6 と、転送 M I S F E T (TR_1) および駆動 M I S F E T (DR_1) に共通の n^+ 型半導体領域 1 4 (ソースまたはドレイン) と、駆動 M I S F E T (DR_2) のゲート電極 7 B とが互いに電氣的に接続される。

【 0 1 6 4 】

本実施の形態によれば、縦型 M I S F E T (SV_1 、 SV_2) のゲート電極 6 6 とゲート引き出し電極 9 6 との接触面積を広くすることができるので、ゲート電極 6 6 とゲート引き出し電極 9 6 のコンタクト抵抗を低減することができる。

【 0 1 6 5 】

(実施の形態 6)

図 8 8 は、本実施の形態のメモリセルの平面図、図 8 9 は、図 8 8 の A - A' 線に沿った断面図である。

【 0 1 6 6 】

前記図 2 9 に示すように、実施の形態 1 のメモリセルは、縦型 M I S F E T (SV_1 、 SV_2) のゲート電極 6 6 に接続されるゲート引き出し電極 5 1 を図の X 方向に長辺を有する矩形の平面パターンで構成している。これに対し、図 8 8 に示すように、本実施の形態のメモリセルは、ゲート引き出し電極 5 1 を図の Y 方向に長辺を有する矩形の平面パターンで構成している。

【 0 1 6 7 】

ゲート引き出し電極 5 1 をこのような平面パターンで構成した場合は、ゲート引き出し電極 5 1 の X 方向の寸法が小さくなった分、積層体 (P_1 、 P_2) の X 方向の寸法を大きくすることができる。これにより、縦型 M I S F E T (SV_1 、 SV_2) の面積を大きくできるので、縦型 M I S F E T (SV_1 、 SV_2) のドレイン電流 (I_{ds}) を増大することができる。

【 0 1 6 8 】

また、ゲート引き出し電極 5 1 をこのような平面パターンで構成した場合は、図 8 9 に示すように、ゲート引き出し電極 5 1 とスルーホール 7 4 と中間導電層

4 2、4 3 の平面パターンが重なりあうので、フォトマスクの合わせずれによってゲート引き出し電極 5 1 とスルーホール 7 4 との相対的な位置がずれた場合でも、両者の接触面積の減少を抑制することができる。この場合、スルーホール 7 4 は、ゲート引き出し電極 5 1 を貫通して下層の中間導電層 4 2、4 3 の表面に達することになるので、スルーホール 7 4 内のプラグ 8 0 は、スルーホール 7 4 の内壁に露出したゲート引き出し電極 5 1 の側面に接触する。

【 0 1 6 9 】

(実施の形態 7)

図 9 0 は本実施の形態のメモリセルの平面図、図 9 1 は図 9 0 の要部断面図である。図 9 0 に示すように、本実施の形態と、実施の形態 1 とは、中間導電膜 4 2、4 3 及びゲート引き出し電極 5 1 a、5 1 b の平面パターンが異なる以外は、同じである。なお、図 9 0 は実施の形態 1 の図 4 8 に対応し、図 9 1 は実施の形態 1 の図 3 に対応する。

【 0 1 7 0 】

図 9 0 及び図 9 1 に示すように、ゲート引き出し電極 5 1 a、5 1 b は、縦型 MISFET (SV_1 、 SV_2) のゲート電極 6 6 (第 2 多結晶シリコン層 6 5) の下端部を覆うような平面パターンで構成される。これにより、ゲート電極 6 6 (第 2 多結晶シリコン層 6 5) は、サイドウォールスペーサ状に形成されたゲート電極 6 6 (第 2 多結晶シリコン層 6 5) の下端部のほぼ全周ゲートに渡って引き出し電極 5 1 a、5 1 b と接触するので、引き出し電極 5 1 a、5 1 b と、縦型 MISFET (SV_1 、 SV_2) のゲート電極 6 6 (第 2 多結晶シリコン層 6 5) との接触面積を増大することができ、接続抵抗を低減でき、メモリセルの特性を向上できる。なお、ゲート引き出し電極 5 1 a、5 1 b と、プラグ 5 5 とは絶縁膜からなるサイドウォールスペーサ 5 4 及び絶縁膜 5 2 により電氣的に分離されている。なお、本実施の形態の製造工程は実質的に実施の形態 1 と同様である。図 9 2 ～図 9 4 に、本実施の形態の製造工程を示す要部断面図を示す。図 9 2 は実施の形態 1 の図 3 0 に対応し、図 9 3 は実施の形態 1 の図 3 1 に対応し、図 9 4 は実施の形態 1 の図 3 2 に対応する。図 9 2、図 9 3 に示すように、ゲート引き出し電極 5 1 a、5 1 b にスルーホール 5 3 が形成され、図 9 4 に示すよう

に、スルーホール 5 3 の側壁に絶縁膜からなるサイドウォールスペーサ 5 4 が、スルーホール 5 3 に対して自己整合的に形成される。このように、ゲート引き出し電極 5 1 a、5 1 b と、プラグ 5 5 とは絶縁膜からなるサイドウォールスペーサ 5 4 及び絶縁膜 5 2 により電氣的に分離されている。

【 0 1 7 1 】

また、図 9 0 及び図 9 1 に示すように、中間導電膜 4 2 はゲート引き出し電極 5 1 b と合わせ余裕が許される範囲内で平面的に見て重なるように構成され、中間導電膜 4 3 はゲート引き出し電極 5 1 a と合わせ余裕が許される範囲内で平面的に見て重なるように構成される。これにより、中間導電膜 4 2 を一方の電極とし、ゲート引き出し電極 5 1 b を他方の電極とし、その間に形成された窒化シリコン膜 4 9 を容量絶縁膜とした第 1 容量素子が形成される。また、中間導電膜 4 3 を一方の電極とし、ゲート引き出し電極 5 1 a を他方の電極とし、その間に形成された窒化シリコン膜 4 9 を容量絶縁膜とした第 2 容量素子が形成される。第 1 容量素子及び第 2 容量素子の夫々は、一方の電極が蓄積ノード A に電氣的に接続され、他方の電極が蓄積ノード B に電氣的に接続される。すなわち、第 1 容量素子及び第 2 容量素子は、一対の蓄積ノード A、B 間に付加され、メモリセルのソフトエラー耐性を向上することができる。また、容量絶縁膜を、シリコン酸化膜よりも誘電率の高い窒化シリコン膜 4 9 で構成しているので、容量値を増大することができる。

【 0 1 7 2 】

以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【 0 1 7 3 】

例えば、下層の M I S F E T と上層の縦型 M I S F E T を有する半導体装置、縦型 M I S F E T を有する半導体装置に適用できることは言うまでもない。

【 0 1 7 4 】

また、前記実施の形態において説明した形成方法は、縦型 M I S F E T を有する半導体装置の形成方法として適用できることは言うまでもない。

【0175】

以上、本実施の形態において開示される発明のうち、代表的なものについて簡単に説明すれば、以下のとおりである。

【0176】

1. MISFET (DR_1 , DR_2) と、縦型MISFET (SV_1 , SV_2) とを有し、前記MISFET (DR_1 , DR_2) は、半導体基板の主面に形成され、前記MISFET (DR_1 , DR_2) の上部に絶縁膜 (20、30) を介して金属膜 (42、43) が形成され、前記金属膜 (42、43) の上部に前記縦型MISFET (SV_1 , SV_2) が形成される。

【0177】

第1MISFET (DR_1) および第1縦型MISFET (SV_1) と、第2MISFET (DR_2) および第2縦型MISFET (SV_2) とが交差結合してメモリセルを構成し、前記金属膜 (42、43) により第1および第2MISFETのゲート及びドレインが交差結合される。

【0178】

前記金属膜はタングステン膜を有し、前記縦型MISFETと前記タングステン膜とはバリア膜 (48) を介して電氣的に接続される。

【0179】

金属膜 (42、43) 上に、縦型MISFET (SV_1 , SV_2) を形成することにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。また、バリア層 (48) を介して金属膜 (42、43) の上部にシリコン膜で形成された縦型MISFET (SV_1 , SV_2) を形成することにより、MISFET間の接続抵抗を低減でき、メモリセルの特性を向上できる。

【0180】

2. (a) MISFET (DR_1 , DR_2) と、縦型MISFET (SV_1 , SV_2) とを有し、前記MISFET (DR_1 , DR_2) は、半導体基板の主面に形成され、前記MISFET (DR_1 , DR_2) の上部に絶縁膜 (20、30、49、52) を介して形成された縦型MISFET (SV_1 , SV_2) のゲート (64、65、66) は、そのゲート (64、65、66) の下部で下層の導電膜 (51、

5 1 a、5 1 b) に電氣的に接続されることで、前記MISFET (DR_1 、 DR_2) のゲート (7 B) 又はドレイン (1 4) に電氣的に接続される。

【0 1 8 1】

(b) MISFET (DR_1 、 DR_2) と、縦型MISFET (SV_1 、 SV_2) とを有し、前記MISFET (DR_1 、 DR_2) は、半導体基板の主面に形成され、前記MISFET (DR_1 、 DR_2) の上部に絶縁膜 (2 0、3 0、4 9、5 2) を介して前記縦型MISFET (SV_1 、 SV_2) が形成され、前記MISFET (DR_1 、 DR_2) のゲート (7 B) 又はドレイン (1 4) と、前記縦型MISFET (SV_1 、 SV_2) のゲート (6 4、6 5、6 6) との間の電流パスは、導電膜 (5 1、5 1 a、5 1 b) を介して前記縦型MISFET (SV_1 、 SV_2) のゲート (6 4、6 5、6 6) の下部を経由して形成される。

【0 1 8 2】

(c) MISFET (DR_1 、 DR_2) と、縦型MISFET (SV_1 、 SV_2) とを有し、前記MISFET (DR_1 、 DR_2) は、半導体基板の主面に形成され、前記MISFET (DR_1 、 DR_2) の上部に絶縁膜 (2 0、3 0、4 9、5 2、5 4) を介して、前記MISFET (DR_1 、 DR_2) のゲート (7 B) 又はドレイン (1 4) に電氣的に接続される導電膜 (5 1、5 1 a、5 1 b) が形成され、前記導電膜 (5 1、5 1 a、5 1 b) の上部に前記縦型MISFET (SV_1 、 SV_2) が形成され、前記縦型MISFET (SV_1 、 SV_2) のゲート (6 4、6 5、6 6) は、サイドウォールスペーサ状に形成され、かつ前記導電膜 (5 1、5 1 a、5 1 b) に電氣的に接続される。

【0 1 8 3】

(d) MISFET (DR_1 、 DR_2) と、縦型MISFET (SV_1 、 SV_2) とを有し、前記MISFET (DR_1 、 DR_2) は、半導体基板の主面に形成され、前記MISFET (DR_1 、 DR_2) の上部に絶縁膜 (2 0、3 0、4 9、5 2) を介して、前記MISFET (DR_1 、 DR_2) のゲート (7 B) 又はドレイン (1 4) に電氣的に接続される導電膜 (5 1、5 1 a、5 1 b) が形成され、前記導電膜 (5 1、5 1 a、5 1 b) の上部に前記縦型MISFET (SV_1 、 SV_2) が形成され、前記縦型MISFET (SV_1 、 SV_2) のゲート (6 4、6 5、

66) は、自己整合的に前記導電膜 (51、51a、51b) に電氣的に接続される。

【0184】

(a)-(d)により、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。

【0185】

(a)-(d)において、前記導電膜 (51、51a、51b) の上部に絶縁膜 (49、52) を介して前記縦型MISFET (SV_1 、 SV_2) が形成され、前記縦型MISFET (SV_1 、 SV_2) のゲート (64、65、66) は、サイドウォールスペーサ状に自己整合的に形成された第1膜 (64) と第2膜 (65) を含み、前記第1膜 (64) に自己整合的に前記導電膜 (51、51a、51b) が開口され、前記第2膜 (65) は、その下端部で前記導電膜 (51、51a、51b) に電氣的に接続される。これにより、メモリセルサイズを縮小できる。

【0186】

前記縦型MISFET (SV_1 、 SV_2) のゲート (66) は、プラグ28の上部に、プラグ28及び前記縦型MISFET (SV_1 、 SV_2) のゲート (66) とは、平面的に重なるように配置される。これにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。

【0187】

3. MISFET (DR_1 、 DR_2) と、縦型MISFET (SV_1 、 SV_2) とを有し、前記MISFET (DR_1 、 DR_2) は、半導体基板の主面に形成され、前記MISFET (DR_1 、 DR_2) の上部に絶縁膜 (20、30) を介して、前記MISFET (DR_1 、 DR_2) のゲート (7B) 又はドレイン (14) に電氣的に接続される第1導電膜 (42、43) が形成され、前記第1導電膜 (42、43) の上部に、第2導電膜 (51、51a、51b) が形成され、前記第2導電膜 (51、51a、51b) の上部に、前記縦型MISFET (SV_1 、 SV_2) が形成され、前記縦型MISFET (SV_1 、 SV_2) のゲート (64、65、66) は、前記第2導電膜 (51、51a、51b) に電氣的に接続され、前記前記縦型MISFET (SV_1 、 SV_2) のドレイン (57) は前記第2導電膜 (

51、51a、51b)を介さずに前記第1導電膜(42、43)に電氣的に接続される。

【0188】

また、前記第2導電膜(51、51a、51b)の上部に絶縁膜(20、30、49、52、54)を介して前記縦型MISFET(SV₁、SV₂)が形成され、前記縦型MISFET(SV₁、SV₂)のゲート(66)は、サイドウォールスペーサ状に自己整合的に形成された第1膜(64)と第2膜(65)を含み、前記第1膜(64)に自己整合的に前記第2導電膜(51、51a、51b)が開口され、前記第2膜(65)は、その下端部で前記第2導電膜(51、51a、51b)に電氣的に接続される。これにより、メモリセルの特性を向上できる。

【0189】

前記第1導電膜(42、43)はタングステン等の金属膜で構成され、前記第2導電膜(51、51a、51b)はシリコン膜で構成され、前記第1導電膜(42、43)は、バリア膜(48)を介して前記縦型MISFET(SV₁、SV₂)のドレイン(57)に電氣的に接続される。これにより、メモリセルの特性を向上できる。

【0190】

前記第1導電膜(42、43)と同層の導電膜で、周辺回路用MISFET(Qp)のゲート(7C)及びドレイン(15)間を電氣的に接続する導電膜(46、47)が形成される。これにより、周辺回路を構成するMISFET間の電氣的接続の自由度を向上でき、高集積化が可能となるとともに、MISFET間の接続抵抗を低減でき、回路の動作スピードを向上できる。

【0191】

4. MISFET(DR₁、DR₂)と、縦型MISFET(SV₁、SV₂)とを有し、前記MISFET(DR₁、DR₂)は、半導体基板の主面に形成され、前記MISFET(DR₁、DR₂)のゲート(7B)及びドレイン(14)間を電氣的に接続する導電膜(42、43)が、前記MISFET(DR₁、DR₂)の上部に絶縁膜(20、30、49、52、54)を介して形成され、前記導

電膜（42、43）の上部に、前記縦型MISFET（ SV_1 、 SV_2 ）が形成され、前記導電膜（42、43）と同層の導電膜（46、47）で、前記周辺回路用MISFET（ Q_p ）のゲート（7C）及びドレイン（15）間を電氣的に接続する導電膜が形成される。これにより、周辺回路を構成するMISFET間の電氣的接続の自由度を向上でき、高集積化が可能となるとともに、MISFET間の接続抵抗を低減でき、回路の動作スピードを向上できる。

【0192】

前記導電膜（42、43）はタングステン等の金属膜で構成され、前記導電膜（42、43）は、バリア膜（48）を介して前記縦型MISFET（ SV_1 、 SV_2 ）のドレイン（57）に電氣的に接続される。これにより、メモリの特性を向上できる。

【0193】

前記縦型MISFET（ SV_1 、 SV_2 ）を覆う絶縁膜（70、72、73、81）を介して金属配線層（89）が形成され、前記金属配線層（89）により、前記周辺回路用MISFET（ Q_p ）のゲート（7C）及びドレイン（15）間を電氣的に接続する配線（89）が形成される。このように、周辺回路を構成するMISFET間の電氣的接続を、縦型MISFET（ SV_1 、 SV_2 ）よりも下部に形成されるプラグ28及び導電膜である中間導電層46、47で行うとともに、縦型MISFET（ SV_1 、 SV_2 ）よりも上部に形成されるプラグ、第1及び第2金属配線層を用いて行うことにより、配線の自由度を向上でき、高集積化できる。また、MISFET間の接続抵抗を低減でき、回路の動作スピード向上できる。

【0194】

5. MISFET（ DR_1 、 DR_2 ）と、縦型MISFET（ SV_1 、 SV_2 ）とを有し、前記MISFET（ DR_1 、 DR_2 ）は、半導体基板の主面に形成され、前記MISFET（ DR_1 、 DR_2 ）のゲート（7B）又はドレイン（14）に電氣的に接続する導電膜（42、43）が、前記駆動MISFETの上部に絶縁膜を介して形成され、前記導電膜（42、43）の上部に、前記縦型MISFET（ SV_1 、 SV_2 ）が形成され、前記導電膜（42、43）と、前記縦型MISF

ET (SV_1 、 SV_2) のゲート電極 (51、51a、51b、66) とは、前記縦型MISFET (SV_1 、 SV_2) を覆う絶縁膜 (70、72、73、81) に形成された接続孔 (74) において、前記接続孔 (74) に埋め込まれたプラグ (80) により電氣的に接続される。これにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。

【0195】

プラグ80はプラグ28の上部に、プラグ28とプラグ80とは、平面的に重なるように配置される。これにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。

【0196】

前記導電膜 (42、43) と同層の導電膜 (46、47) で、周辺回路用MISFET (Q_p) のゲート (7C) 及びドレイン (15) 間を電氣的に接続する導電膜 (46、47) が形成される。これにより、周辺回路を構成するMISFET間の電氣的接続の自由度を向上でき、高集積化が可能となるとともに、MISFET間の接続抵抗を低減でき、回路の動作スピードを向上できる。

【0197】

前記縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する積層体 (P_1 、 P_2) に形成されたソース (59)、チャネル領域 (58、基板) およびドレイン (57) と、前記積層体 (P_1 、 P_2) の側壁部にゲート絶縁膜 (63) を介して形成されたゲート電極 (66) とを有し、

前記積層体 (P_1 、 P_2) はシリコン膜で構成される。

【0198】

6. 半導体装置の製造方法であって、

半導体基板の主面にMISFET (DR_1 、 DR_2) を形成する工程と、

前記MISFET (DR_1 、 DR_2) の上部に絶縁膜 (20、30、49、52、54) を介して、前記MISFETのゲート (7B) 又はドレイン (14) に電氣的に接続する導電膜 (42、43) を形成する工程と、

前記導電膜の上部 (42、43) に、縦型MISFET (SV_1 、 SV_2) を形成する工程と、

前記縦型MISFET (SV_1 、 SV_2) を覆う絶縁膜 (70、72、73、81) に接続孔 (74) を形成する工程と、

前記接続孔 (74) にプラグ (80) を埋め込むことにより、前記接続孔内で、前記導電膜 (42、43) と、前記縦型MISFETのゲート電極 (51、51a、51b、66) とを電氣的に接続する工程と、を含む。

【0199】

前記導電膜 (42、43) と同層の導電膜 (46、47) で、周辺回路用MISFET (Q_p) のゲート (7C) 及びドレイン (15) 間を電氣的に接続する導電膜 (46、47) が形成される。これにより、メモリセルサイズを縮小できる。

【0200】

プラグ80はプラグ28の上部に、プラグ28とプラグ80とは、平面的に重なるように配置される。これにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。

【0201】

7. 半導体装置の製造方法であって、

半導体基板の主面にMISFET (DR_1 、 DR_2) を形成する工程と、

前記MISFET (DR_1 、 DR_2) の上部に絶縁膜 (20、30、49、50、52) を介して、ドレイン・チャネル・ソースとなる半導体膜 (57、58、59) 及びキャップ絶縁膜 (61) を形成する工程と、

前記半導体膜、及びキャップ絶縁膜を柱状形状にパターニングする工程と、

柱状のキャップ絶縁膜の側壁にエッチングストッパ膜 (108a) をサイドスペーサ状に形成する工程と、

前記キャップ絶縁膜及びエッチングストッパ膜上に層間絶縁膜 (109) を形成する工程と、

前記エッチングストッパ膜をストッパに用いて、前記層間絶縁膜及びキャップ絶縁膜をエッチングした後、前記エッチングストッパ膜をエッチングして、半導体膜 (59) を開口する接続孔 (82) を形成する工程と、を含む。これにより、メモリセルの特性を向上できる。

【 0 2 0 2 】

8. 一对の相補性データ線とワード線との交差部に配置された第1および第2転送MISFETと、第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有する半導体記憶装置であって、

前記第1および第2転送MISFETと、前記第1および第2駆動MISFETは、半導体基板の主面に形成され、

前記第1および第2縦型MISFETは、前記第1および第2転送MISFETと、前記第1および第2駆動MISFETのそれぞれよりも上部に形成され、

前記第1縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第2縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第1および第2縦型MISFETのそれぞれのソースは、前記第1および第2積層体よりも上部に形成された電源電圧線に電氣的に接続されている。

【 0 2 0 3 】

前記第1転送MISFETのソース、ドレインの一方に電氣的に接続される前記相補性データ線の一方と、前記第2転送MISFETのソース、ドレインの一方に電氣的に接続される前記相補性データ線の他方は、前記電源電圧線と同一の配線層に形成されている。

【 0 2 0 4 】

前記第1および第2転送MISFETのそれぞれのゲート電極に電氣的に接続される前記ワード線は、前記電源電圧線および前記相補性データ線よりも上層の配線層に形成されている。

【 0 2 0 5 】

前記第1および第2駆動MISFETのそれぞれのソースに電氣的に接続され

る基準電圧線は、前記ワード線と同一の配線層に形成されている。

【 0 2 0 6 】

前記基準電圧線は、前記第 1 駆動 M I S F E T のソース電氣的に接続される第 1 基準電圧線と、前記第 2 駆動 M I S F E T のソースに電氣的に接続される第 2 基準電圧線とからなり、第 1 基準電圧線と前記第 2 基準電圧線は、前記ワード線をそれらの間に挟んで第 1 方向に延在している。

【 0 2 0 7 】

前記相補性データ線の一方と、前記相補性データ線の他方は、前記電源電圧線をそれらの間に挟んで、前記第 1 方向と交差する第 2 方向に延在している。

【 0 2 0 8 】

前記相補性データ線、前記電源電圧線、前記基準電圧線及び前記ワード線は、銅を主成分とするメタル膜で構成されている。

【 0 2 0 9 】

9. 一对の相補性データ線とワード線との交差部に配置された第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備え、前記第 1 駆動 M I S F E T および前記第 1 縦型 M I S F E T と、前記第 2 駆動 M I S F E T および前記第 2 縦型 M I S F E T とが交差結合したメモリセルを有する半導体記憶装置であって、

前記第 1 および第 2 転送 M I S F E T と、前記第 1 および第 2 駆動 M I S F E T は、半導体基板の主面に形成され、

前記第 1 縦型 M I S F E T は、前記第 2 駆動 M I S F E T のゲート電極の一端部上に配置され、前記半導体基板の主面に垂直な方向に延在する第 1 積層体に形成されたソース、チャネル領域およびドレインと、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第 2 縦型 M I S F E T は、前記第 1 駆動 M I S F E T のゲート電極の一端部上に配置され、前記半導体基板の主面に垂直な方向に延在する第 2 積層体に形成されたソース、チャネル領域およびドレインと、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有することを特徴とする半導体記憶装置。

【 0 2 1 0 】

1 0. 前記半導体基板の主面に平行な平面において、平面的に見て、前記第 1 及び第 2 縦型 M I S F E T は、前記第 1 転送 M I S F E T 及び前記第 1 駆動 M I S F E T 形成領域と、前記第 2 転送 M I S F E T 及び前記第 2 駆動 M I S F E T 形成領域との間に配置されている。

【 0 2 1 1 】

1 1. 一対の相補性データ線とワード線との交差部に配置された第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備え、前記第 1 駆動 M I S F E T および前記第 1 縦型 M I S F E T と、前記第 2 駆動 M I S F E T および前記第 2 縦型 M I S F E T とが交差結合したメモリセルを有する半導体記憶装置であって、

前記第 1 および第 2 転送 M I S F E T と、前記第 1 および第 2 駆動 M I S F E T は、半導体基板の主面に形成され、

前記第 1 および第 2 縦型 M I S F E T は、前記第 1 および第 2 転送 M I S F E T と、前記第 1 および第 2 駆動 M I S F E T のそれぞれよりも上部に形成され、

前記第 1 縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 1 積層体に形成されたソース、チャネル領域およびドレインと、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成された第 1 ゲート電極とを有し、

前記第 2 縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 2 積層体に形成されたソース、チャネル領域およびドレインと、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成された第 2 ゲート電極とを有し、

前記第 1 縦型 M I S F E T のドレインと、前記第 2 駆動 M I S F E T のゲート電極と、前記第 1 駆動 M I S F E T のドレインとは、第 1 中間導電層を介して互いに電氣的に接続され、

前記第 2 縦型 M I S F E T のドレインと、前記第 1 駆動 M I S F E T のゲート電極と、前記第 2 駆動 M I S F E T のドレインとは、第 2 中間導電層を介して互いに電氣的に接続され、

前記第 1 縦型 M I S F E T の第 1 ゲート電極は、前記第 1 ゲート電極と接するように形成された第 1 ゲート引き出し電極と、前記第 1 ゲート引き出し電極およ

び前記第 2 中間導電層とに接するように形成された第 1 接続孔内の第 1 導電層とを介して前記第 2 中間導電層と電氣的に接続され、

前記第 2 縦型 M I S F E T の第 2 ゲート電極は、前記第 2 ゲート電極と接するように形成された第 2 ゲート引き出し電極と、前記第 2 ゲート引き出し電極および前記第 1 中間導電層とに接するように形成された第 2 接続孔内の第 2 導電層とを介して前記第 1 中間導電層と電氣的に接続されている。

【 0 2 1 2 】

前記半導体基板の主面に周辺回路の複数の M I S F E T がさらに形成され、前記周辺回路の M I S F E T 間を接続する配線と、前記第 1 および第 2 中間導電層とは、同一の配線層に形成されている。

【 0 2 1 3 】

前記第 1 および第 2 中間導電層はメタル膜からなり、前記第 1 縦型 M I S F E T のドレインと前記第 1 中間導電層との間に第 1 バリア層が形成され、前記第 2 縦型 M I S F E T のドレインと前記第 2 中間導電層との間に第 2 バリア層が形成されている。

【 0 2 1 4 】

前記第 1 および第 2 中間導電層はタングステン膜からなり、前記第 1 および第 2 バリア層は、窒化タングステン(WN)膜からなる。

【 0 2 1 5 】

前記第 1 および第 2 中間導電層は、耐酸化性導電膜からなる。

【 0 2 1 6 】

前記第 1 縦型 M I S F E T の第 1 ゲート電極は、その下端部で前記第 1 ゲート引き出し電極と電氣的に接続され、前記第 2 縦型 M I S F E T の第 2 ゲート電極は、その下端部で前記第 2 ゲート引き出し電極と電氣的に接続されている。

【 0 2 1 7 】

前記第 1 縦型 M I S F E T の第 1 ゲート電極および前記第 2 縦型 M I S F E T の第 2 ゲート電極のそれぞれは、2 層の導電膜で構成されている。

【 0 2 1 8 】

前記第 2 中間導電層と、前記第 1 ゲート引き出し電極と、前記第 1 接続孔とは

、互いに平面的に重なる部分を有するように配置され、前記第 1 中間導電層と、前記第 2 ゲート引き出し電極と、前記第 2 接続孔とは、互いに平面的に重なる部分を有するように配置されている。

【 0 2 1 9 】

前記第 1 接続孔は、前記第 1 ゲート引き出し電極を貫通して前記第 2 中間導電層に接続され、前記第 2 接続孔は、前記第 2 ゲート引き出し電極を貫通して前記第 1 中間導電層に接続されている。

【 0 2 2 0 】

前記第 1 ゲート引き出し電極は、前記第 1 積層体の側壁部で前記第 1 縦型 M I S F E T の第 1 ゲート電極と接しており、前記第 2 ゲート引き出し電極は、前記第 2 積層体の側壁部で前記第 2 縦型 M I S F E T の第 2 ゲート電極と接している。

【 0 2 2 1 】

前記第 1 ゲート引き出し電極は、前記第 1 縦型 M I S F E T の第 1 ゲート電極と一体に構成されており、前記第 2 ゲート引き出し電極は、前記第 2 縦型 M I S F E T の第 2 ゲート電極と一体に構成されている。

【 0 2 2 2 】

前記第 1 縦型 M I S F E T のゲート電極は、前記第 1 積層体の側壁部の周囲を囲むように形成され、前記第 2 縦型 M I S F E T のゲート電極は、前記第 2 積層体の側壁部の周囲を囲むように形成されている。

【 0 2 2 3 】

前記第 1 および第 2 ゲート引き出し電極は、シリコン系の導電膜とその表面に形成されたシリサイド膜とで構成されている。

【 0 2 2 4 】

前記第 1 および第 2 転送 M I S F E T と、前記第 1 および第 2 駆動 M I S F E T は、n チャネル型 M I S F E T で構成され、前記第 1 および第 2 縦型 M I S F E T は、p チャネル型 M I S F E T で構成されている。

【 0 2 2 5 】

1 2. 一对の相補性データ線とワード線との交差部に配置された第 1 および第

2 転送M I S F E T と、第 1 および第 2 駆動M I S F E T と、第 1 および第 2 縦型M I S F E T とを備え、前記第 1 駆動M I S F E T および前記第 1 縦型M I S F E T と、前記第 2 駆動M I S F E T および前記第 2 縦型M I S F E T とが交差結合したメモリセルを有し、

前記第 1 縦型M I S F E T は、半導体基板の主面に垂直な方向に延在する第 1 積層体に形成されたソース、チャネル領域およびドレインと、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第 2 縦型M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 2 積層体に形成されたソース、チャネル領域およびドレインと、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する半導体記憶装置の製造方法であって、

(a) 半導体基板の主面の第 1 領域に第 1 および第 2 転送M I S F E T と、第 1 および第 2 駆動M I S F E T を形成する工程、

(b) 前記第 1 および第 2 転送M I S F E T と前記第 1 および第 2 駆動M I S F E T の上部に、前記第 2 駆動M I S F E T のゲート電極と、前記第 1 駆動M I S F E T のドレインとを電氣的に接続する第 1 中間導電層を形成し、前記第 1 駆動M I S F E T のゲート電極と、前記第 2 駆動M I S F E T のドレインとを電氣的に接続する第 2 中間導電層を形成する工程、

(c) 前記第 1 および第 2 中間導電層の上部に第 1 絶縁膜を介して第 1 および第 2 ゲート引き出し電極を形成する工程、

(d) 前記 (c) 工程の後、前記第 1 および第 2 ゲート引き出し電極の上部に第 1 および第 2 積層体を形成することによって、前記第 1 積層体に形成された第 1 縦型M I S F E T のドレインと前記第 1 中間導電層とを電氣的に接続し、前記第 2 積層体に形成された第 2 縦型M I S F E T のドレインと前記第 2 中間導電層とを電氣的に接続する工程、

(e) 前記第 1 積層体の側壁部にゲート絶縁膜を介して形成された前記第 1 縦型M I S F E T のゲート電極と前記第 1 ゲート引き出し電極とを電氣的に接続し、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成された前記第 2 縦型M I S F E T のゲート電極と前記第 2 ゲート引き出し電極とを電氣的に接続する工程、

(f) 前記第 1 ゲート引き出し電極の上部に、前記第 1 ゲート引き出し電極と前記第 2 中間導電層とに接するように第 1 接続孔を形成してその内部に第 1 導電層を埋め込み、前記第 2 ゲート引き出し電極の上部に、前記第 2 ゲート引き出し電極と前記第 1 中間導電層とに接するように第 2 接続孔を形成してその内部に第 2 導電層を埋め込む工程。

【 0 2 2 6 】

前記 (c) 工程は、前記第 1 および第 2 中間導電層の表面にバリア層を形成する工程と、前記バリア層が形成された前記第 1 および第 2 中間導電層の上部に前記第 1 絶縁膜を介して前記第 1 および第 2 ゲート引き出し電極を形成する工程を含み、

前記 (d) 工程は、前記第 1 絶縁膜と、前記第 1 および第 2 ゲート引き出し電極とを覆う第 2 絶縁膜を形成する工程と、前記第 2 絶縁膜と前記第 1 絶縁膜とをエッチングして、前記第 1 中間導電層の表面の前記バリア層を露出する第 1 開口および、前記第 2 中間導電層の表面の前記バリア層を露出する第 2 開口を形成する工程と、前記第 1 および第 2 開口の内部に導電層を埋め込む工程と、前記第 2 絶縁膜の上部に前記第 1 および第 2 積層体を形成することによって、前記第 1 積層体に形成された前記第 1 縦型 M I S F E T のドレインと前記第 1 中間導電層とを前記バリア層と前記第 1 開口の内部の導電層とを介して電氣的に接続し、前記第 2 積層体に形成された前記第 2 縦型 M I S F E T のドレインと前記第 2 中間導電層とを前記バリア層と前記第 2 開口の内部の導電層とを介して電氣的に接続する工程を含み、

前記 (e) 工程は、前記第 1 および第 2 ゲート引き出し電極と、前記第 1 および第 2 開口内の導電膜が前記第 2 絶縁膜によって覆われた状態で前記半導体基板を熱処理することによって、前記第 1 および第 2 積層体のそれぞれの側壁部に前記ゲート絶縁膜を形成する工程と、前記半導体基板上に堆積した第 1 ゲート電極材料をエッチングして前記第 1 および第 2 積層体のそれぞれの側壁部に第 1 ゲート電極層を形成する工程と、前記第 2 絶縁膜をエッチングして前記第 1 および第 2 ゲート引き出し電極を露出する工程と、前記半導体基板上に堆積した第 2 ゲート電極材料をエッチングして前記第 1 ゲート電極層が形成された前記第 1 および

第 2 積層体のそれぞれの側壁部に第 2 ゲート電極層を形成し、前記第 1 積層体の側壁に形成された前記第 2 ゲート電極層と前記第 1 ゲート引き出し電極とを電氣的に接続し、前記第 1 積層体の側壁に形成された前記第 2 ゲート電極層と前記第 1 ゲート引き出し電極とを電氣的に接続する工程を含。

【 0 2 2 7 】

1 3. 一对の相補性データ線とワード線との交差部に配置された第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備え、前記第 1 駆動 M I S F E T および前記第 1 縦型 M I S F E T と、前記第 2 駆動 M I S F E T および前記第 2 縦型 M I S F E T とが交差結合したメモリセルを有し、

前記第 1 縦型 M I S F E T は、半導体基板の主面に垂直な方向に延在する第 1 積層体に形成されたソース、チャネル領域およびドレインと、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第 2 縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 2 積層体に形成されたソース、チャネル領域およびドレインと、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する半導体記憶装置の製造方法であって、

(a) 半導体基板の主面の第 1 領域に第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T を形成する工程、

(b) 前記第 1 および第 2 転送 M I S F E T と前記第 1 および第 2 駆動 M I S F E T の上部に、前記第 2 駆動 M I S F E T のゲート電極と、前記第 1 駆動 M I S F E T のドレインとを電氣的に接続する第 1 中間導電層を形成し、前記第 1 駆動 M I S F E T のゲート電極と、前記第 2 駆動 M I S F E T のドレインとを電氣的に接続する第 2 中間導電層を形成する工程、

(c) 前記 (b) 工程の後、前記第 1 および第 2 中間導電層の上部に第 1 および第 2 積層体を形成することによって、前記第 1 積層体に形成された第 1 縦型 M I S F E T のドレインと前記第 1 中間導電層とを電氣的に接続し、前記第 2 積層体に形成された第 2 縦型 M I S F E T のドレインと前記第 2 中間導電層とを電氣的に接続する工程、

(d) 前記(c)工程後、前記第1積層体の側壁部にゲート絶縁膜を介して形成された前記第1縦型MISFETのゲート電極と接するように第1ゲート引き出し電極を形成し、前記第2積層体の側壁部にゲート絶縁膜を介して形成された前記第2縦型MISFETのゲート電極と接するように第2ゲート引き出し電極を形成する工程、

(e) 前記第1ゲート引き出し電極の上部に、前記第1ゲート引き出し電極と前記第2中間導電層とに接するように第1接続孔を形成してその内部に第1導電層を埋め込み、前記第2ゲート引き出し電極の上部に、前記第2ゲート引き出し電極と前記第1中間導電層とに接するように第2接続孔を形成してその内部に第2導電層を埋め込む工程。

【0228】

前記(e)工程の後、前記第1および第2積層体の上部に、前記第1および第2縦型MISFETのそれぞれのソースと電氣的に接続される電源電圧線を形成する工程をさらに含む。

【0229】

前記電源電圧線を形成する工程で、前記第1転送MISFETのソース、ドレインの一方に電氣的に接続される前記相補性データ線の一方と、前記第2転送MISFETのソース、ドレインの一方に電氣的に接続される前記相補性データ線の方を形成する工程をさらに含む。

【0230】

前記電源電圧線の上層に前記第1および第2転送MISFETのそれぞれのゲート電極に電氣的に接続される前記ワード線と、前記第1および第2駆動MISFETのそれぞれのソースに電氣的に接続される基準電圧線とを形成する工程をさらに含む。

【0231】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0232】

S R A M のメモリセルを 4 個の M I S F E T とそれらの上部に形成した 2 個の縦型 M I S F E T とで構成することにより、メモリセルサイズを大幅に縮小することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態である S R A M のメモリセルの等価回路図である。

【図 2】

本発明の一実施の形態である S R A M の要部平面図である。

【図 3】

本発明の一実施の形態である S R A M の要部断面図である。

【図 4】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 5】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 6】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 7】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 8】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 9】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 1 0】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 1 1】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 1 2】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 1 3】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 1 4】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 1 5】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 1 6】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 1 7】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 1 8】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 1 9】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 2 0】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 2 1】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 2 2】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 2 3】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 2 4】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 2 5】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 2 6】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 2 7】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 2 8】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 2 9】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 3 0】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 3 1】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 3 2】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 3 3】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 3 4】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 3 5】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 3 6】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 3 7】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 3 8】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 3 9】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 4 0】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 4 1】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 4 2】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 4 3】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 4 4】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 4 5】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 4 6】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 4 7】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 4 8】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 4 9】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 5 0】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 5 1】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 5 2】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 5 3】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 5 4】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 5 5】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 5 6】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 5 7】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 5 8】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 5 9】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 6 0】

本発明の一実施の形態である S R A M の製造方法を示す要部断面図である。

【図 6 1】

本発明の一実施の形態である S R A M の製造方法を示す要部平面図である。

【図 6 2】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 6 3】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 6 4】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 6 5】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 6 6】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 6 7】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 6 8】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 6 9】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 7 0】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 7 1】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 7 2】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 7 3】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 7 4】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 7 5】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 7 6】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 7 7】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 7 8】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 7 9】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 8 0】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 8 1】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 8 2】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 8 3】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 8 4】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 8 5】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 8 6】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 8 7】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 8 8】

本発明の他の実施の形態である S R A M の製造方法を示す要部平面図である。

【図 8 9】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 9 0】

本発明の他の実施の形態である S R A M の製造方法を示す要部平面図である。

【図 9 1】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 9 2】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 9 3】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【図 9 4】

本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離溝
- 3 酸化シリコン膜
- 4 p 型ウエル
- 5 n 型ウエル
- 6 ゲート絶縁膜
- 7 A、7 B ゲート電極
- 7 n n 型多結晶シリコン膜
- 7 p p 型多結晶シリコン膜
- 8 酸化シリコン膜

- 9 n^- 型半導体領域
- 1 0 p^- 型半導体領域
- 1 3 サイドウォールスペーサ
- 1 4 n^+ 型半導体領域 (ソース、ドレイン)
- 1 5 p^+ 型半導体領域 (ソース、ドレイン)
- 1 6 a、1 6 b フォトレジスト膜
- 1 7 C o 膜
- 1 8 C o シリサイド層
- 1 9 窒化シリコン膜
- 2 0 酸化シリコン膜
- 2 1 ~ 2 7 コンタクトホール
- 2 8 プラグ
- 2 9 窒化シリコン膜
- 3 0 酸化シリコン膜
- 3 1 ~ 3 7 溝
- 4 1 ~ 4 5 中間導電層
- 4 6、4 7 第 1 層配線
- 4 8 a W N 膜
- 4 8 バリア層
- 4 9 窒化シリコン膜
- 5 0 多結晶シリコン膜
- 5 1 ゲート引き出し電極
- 5 2 酸化シリコン膜
- 5 3 スルーホール
- 5 4 サイドウォールスペーサ
- 5 5 a 多結晶シリコン膜
- 5 5 プラグ
- 5 7 下部半導体層
- 5 7 p p 型シリコン膜

- 5 8 中間半導体層
- 5 8 i シリコン膜
- 5 9 上部半導体層
- 5 9 p p型シリコン膜
- 6 1 酸化シリコン膜
- 6 2 窒化シリコン膜
- 6 3 ゲート絶縁膜
- 6 4 第1多結晶シリコン層
- 6 5 第2多結晶シリコン層
- 6 6 ゲート電極
- 7 0 酸化シリコン膜
- 7 1 サイドウォールスペーサ
- 7 2 窒化シリコン膜
- 7 3 酸化シリコン膜
- 7 4 ~ 7 9 スルーホール
- 8 0 プラグ
- 8 1 酸化シリコン膜
- 8 2、8 3、8 4 スルーホール
- 8 5 プラグ
- 8 6 炭化シリコン膜
- 8 7 酸化シリコン膜
- 8 8 配線溝
- 8 9 第2層配線
- 9 0 (Vdd) 電源電圧線
- 9 1 (Vss) 基準電圧線
- 9 2 引き出し配線
- 9 3 絶縁膜
- 9 4 配線溝
- 9 4 a 開口

9 5 溝

9 6 ゲート引き出し電極

9 7 酸化シリコン膜

1 0 1、1 0 2 酸化シリコン膜

1 0 3 多結晶シリコン膜

1 0 4 酸化シリコン膜

1 0 5 溝

1 0 6 フォトレジスト膜

1 0 7 ゲート電極

1 0 8 窒化シリコン膜

1 0 8 a サイドウォールスペーサ

1 0 9、1 1 0 酸化シリコン膜

B L T、B L B 相補性データ線

D R₁、D R₂ 駆動M I S F E T

L 活性領域

M C メモリセル

Q p pチャネル型M I S F E T

S V₁、S V₂ 縦型M I S F E T

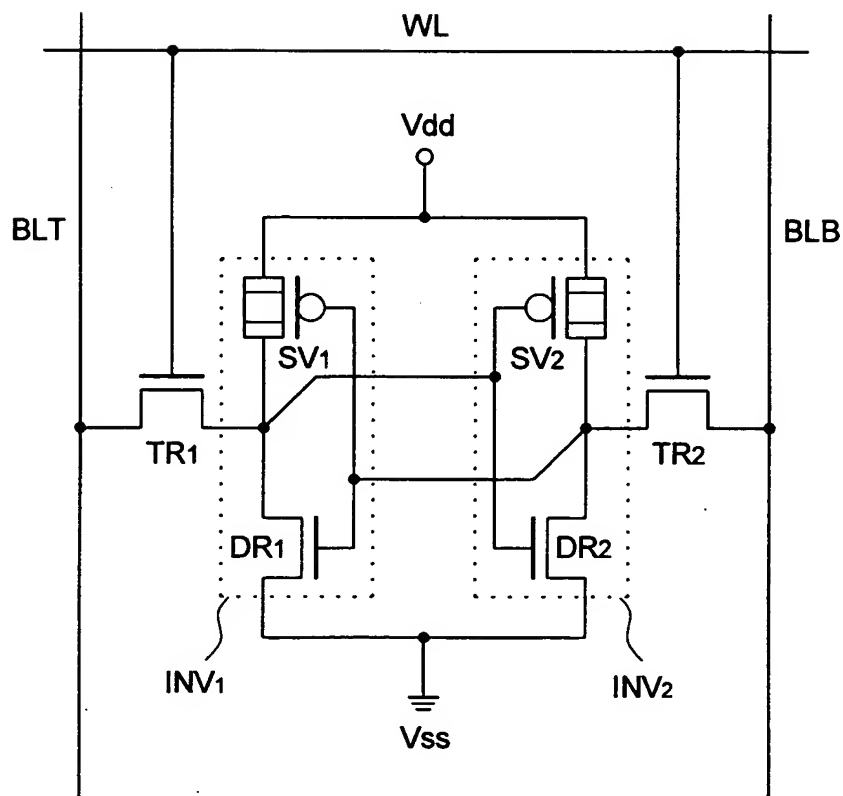
T R₁、T R₂ 転送M I S F E T

W L ワード線

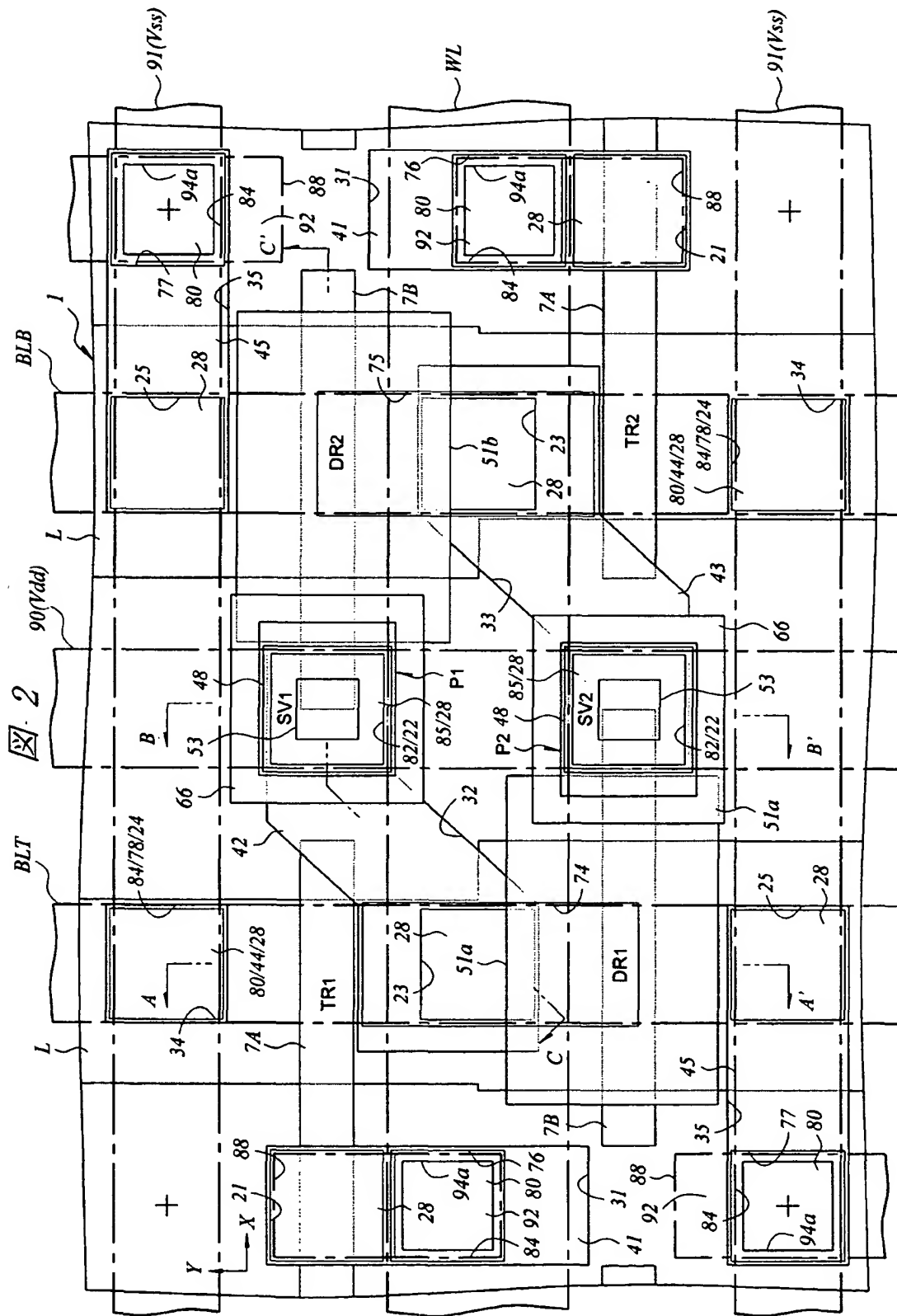
【書類名】 図面

【図 1】

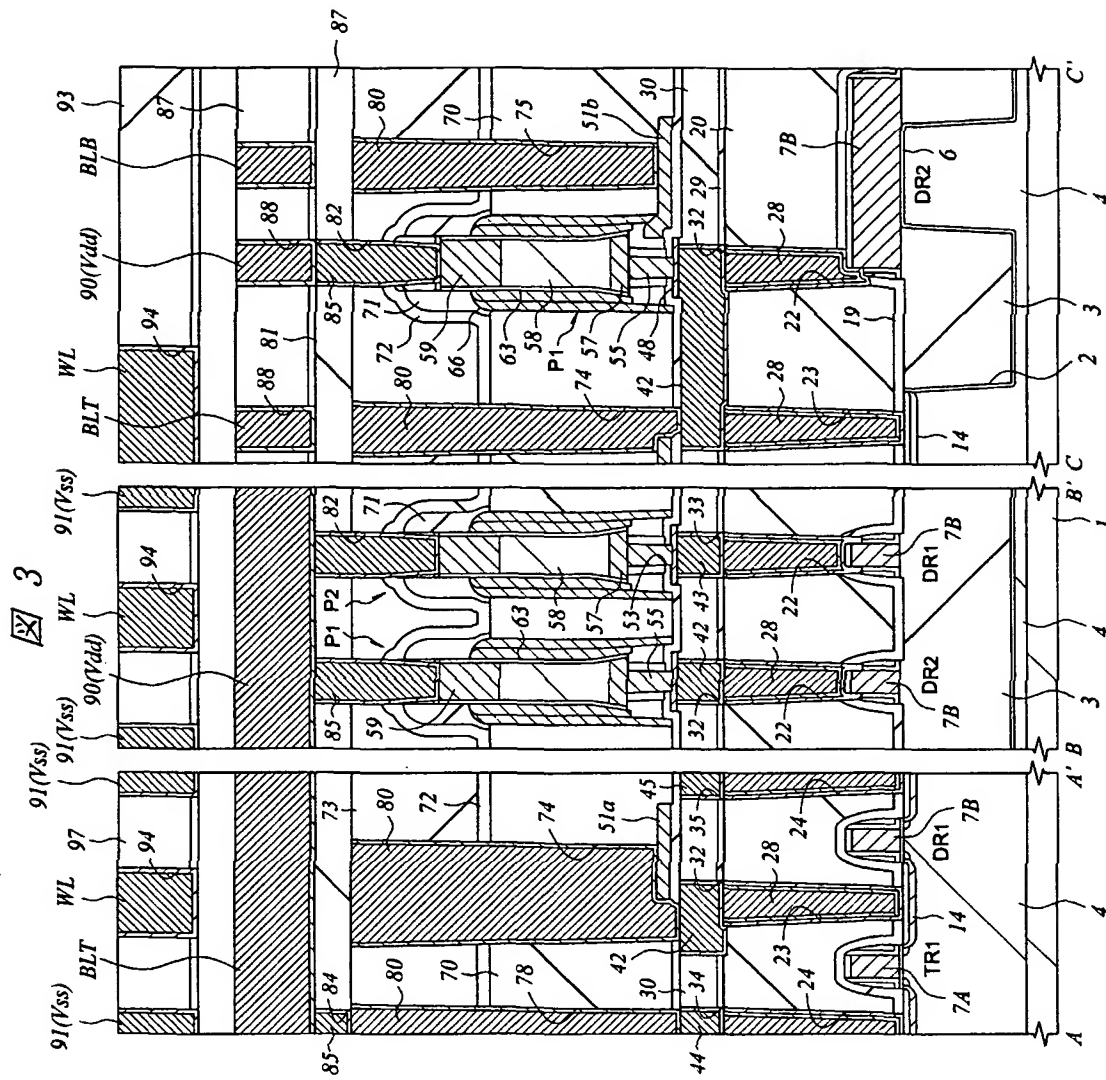
图 1



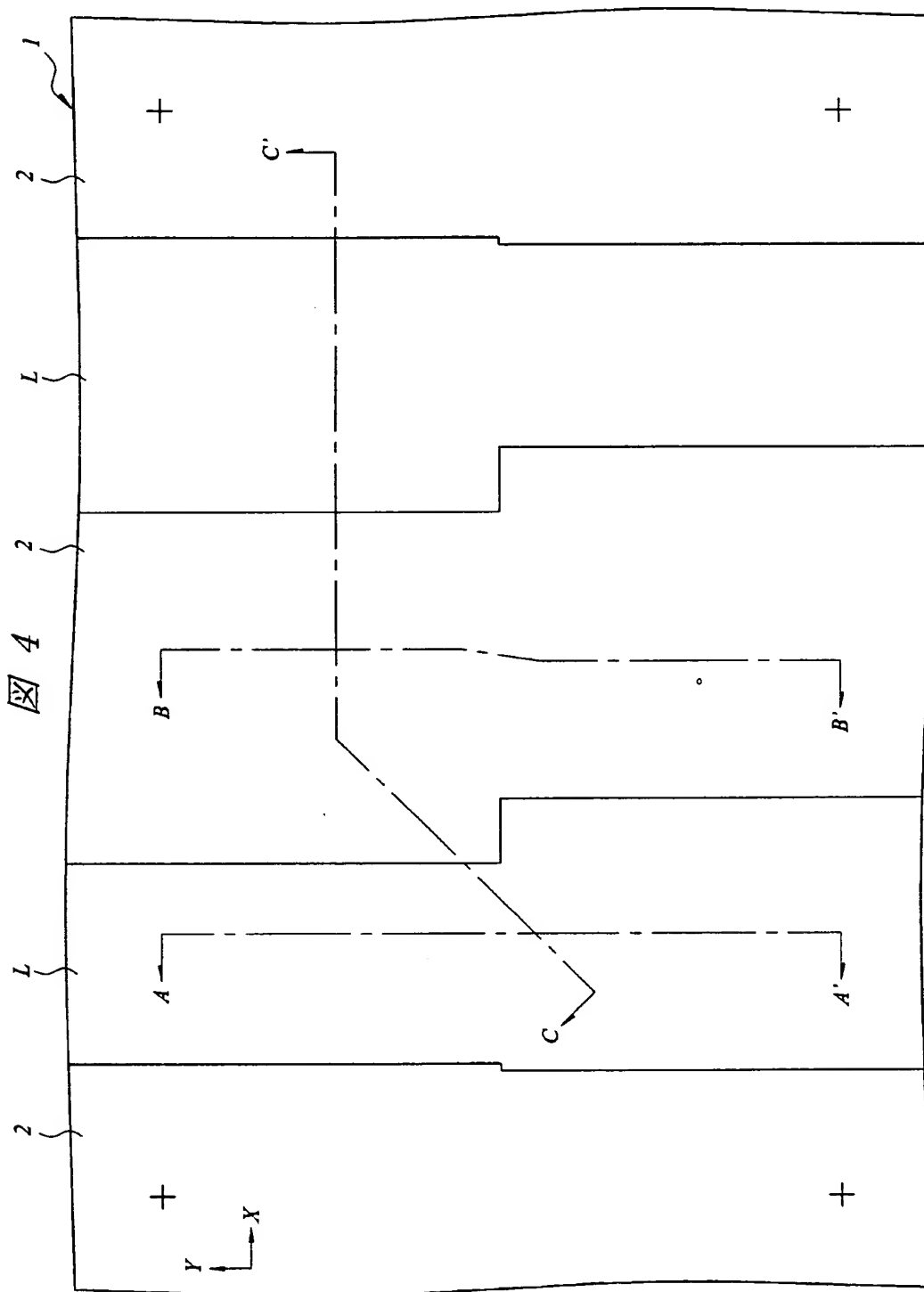
【図2】



【图 3】

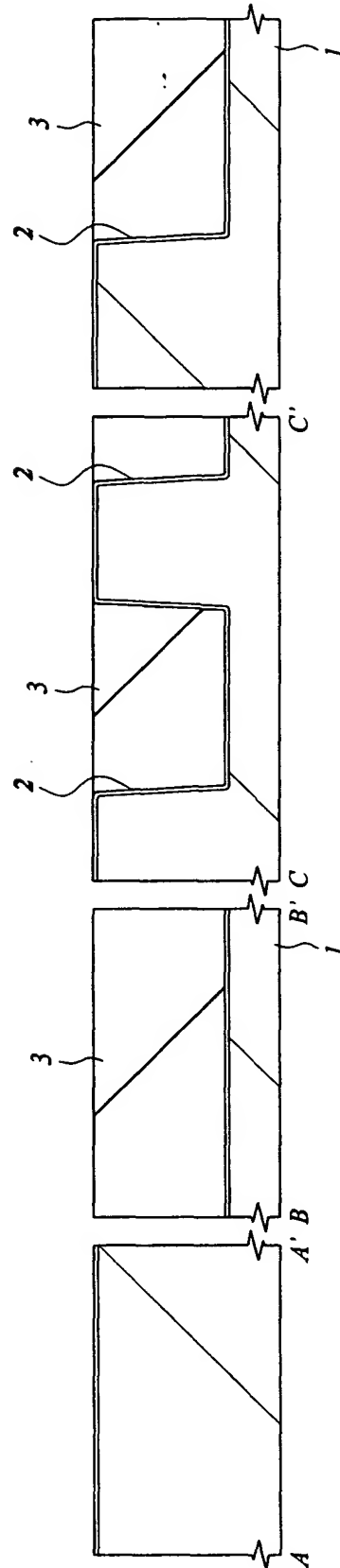


【図4】



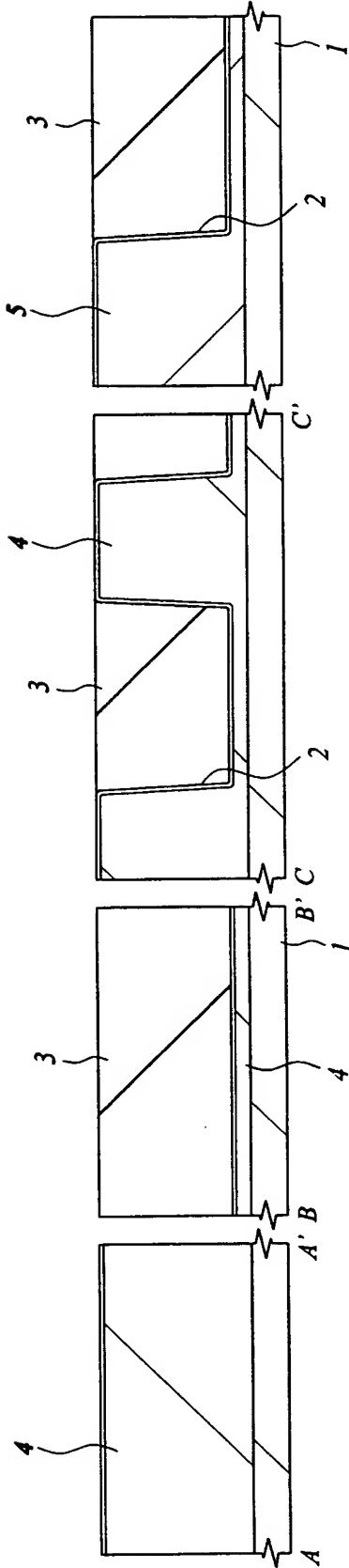
【図5】

図5



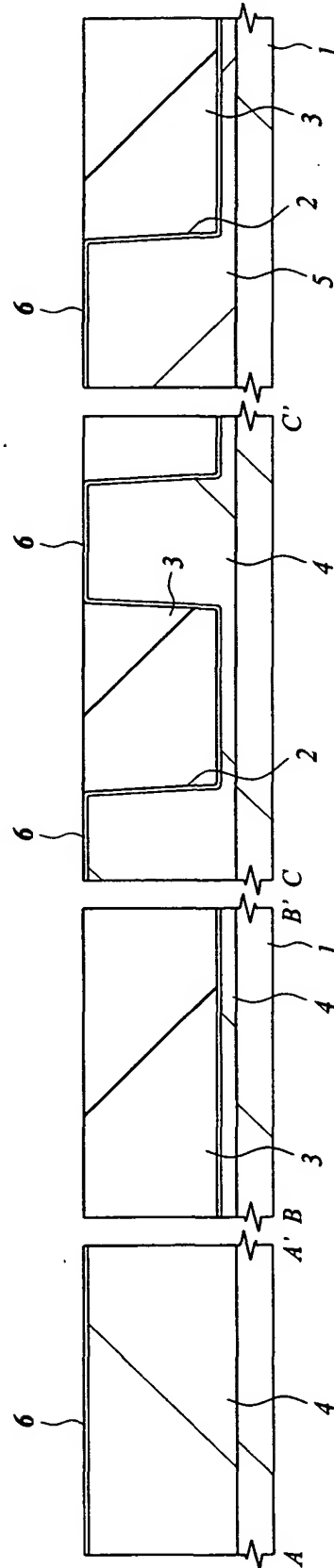
【図 6】

図 6



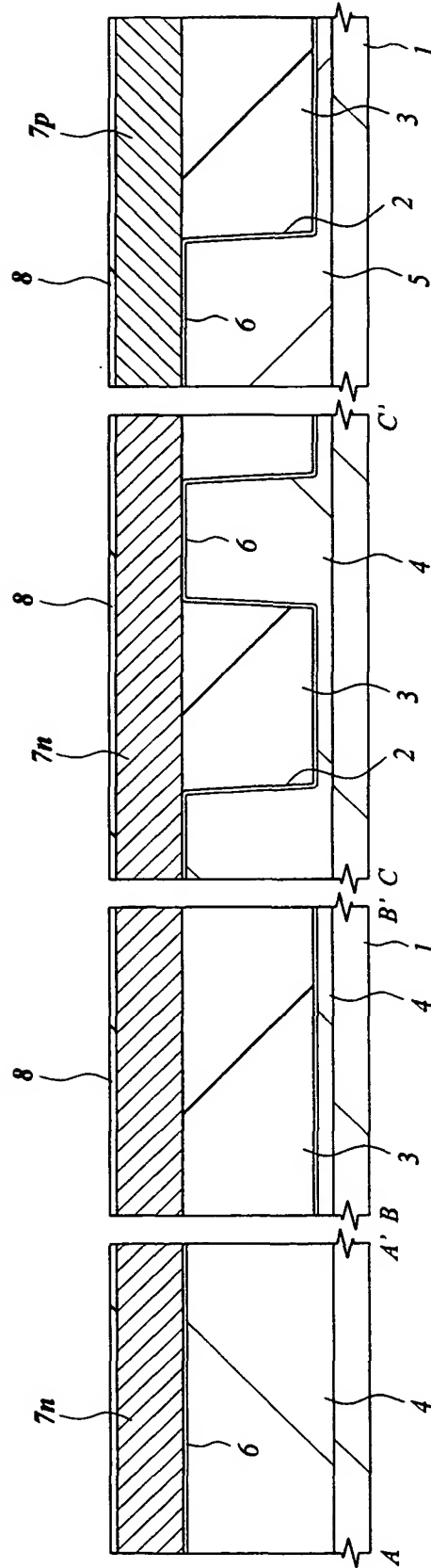
【図 7】

図 7

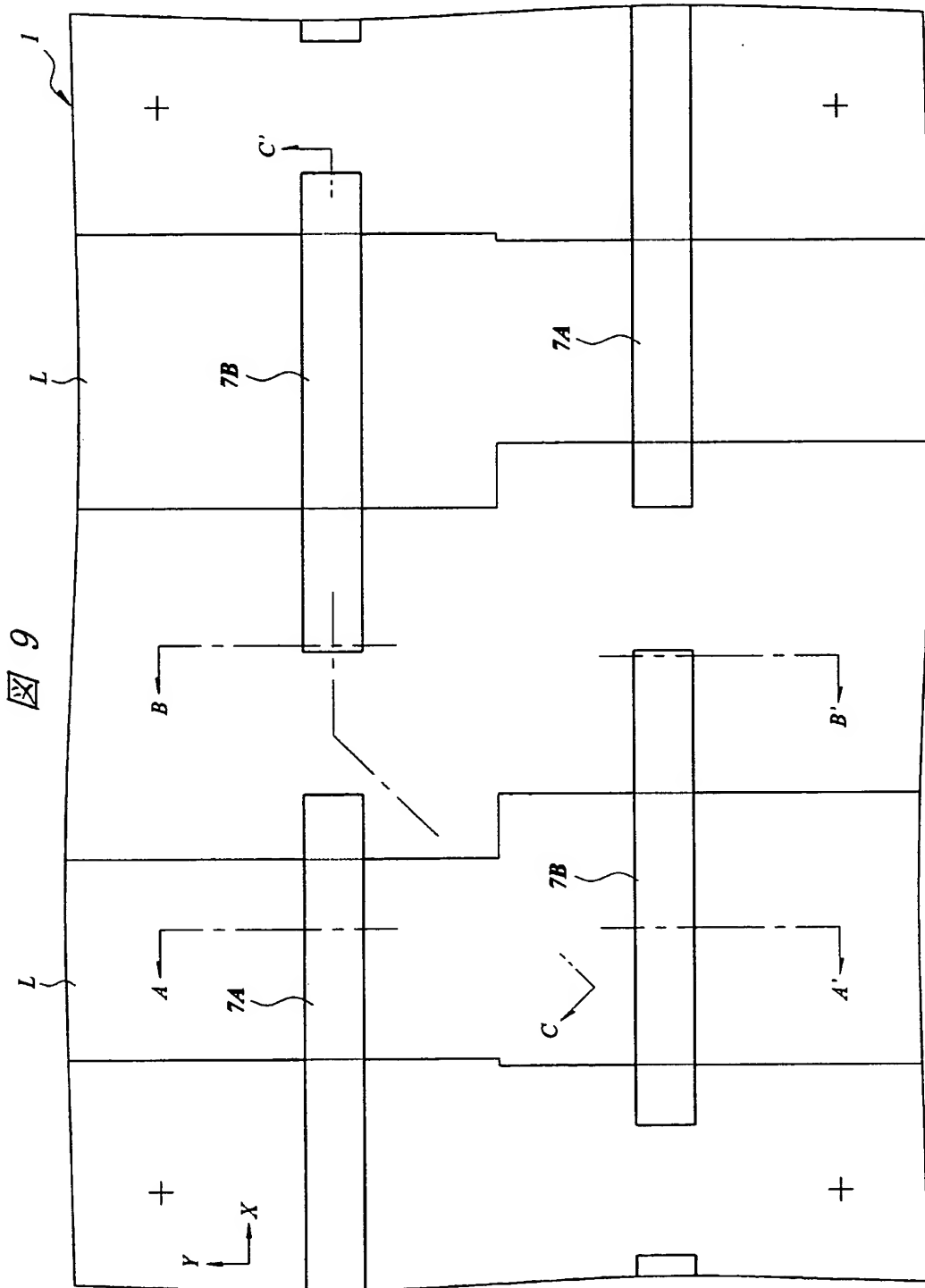


【図 8】

8

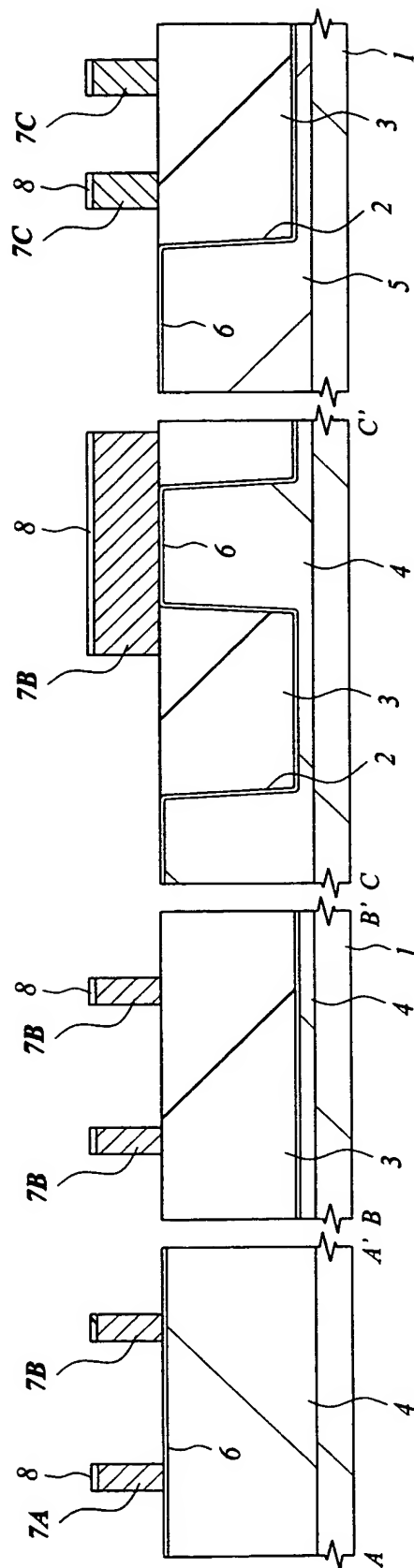


【図9】



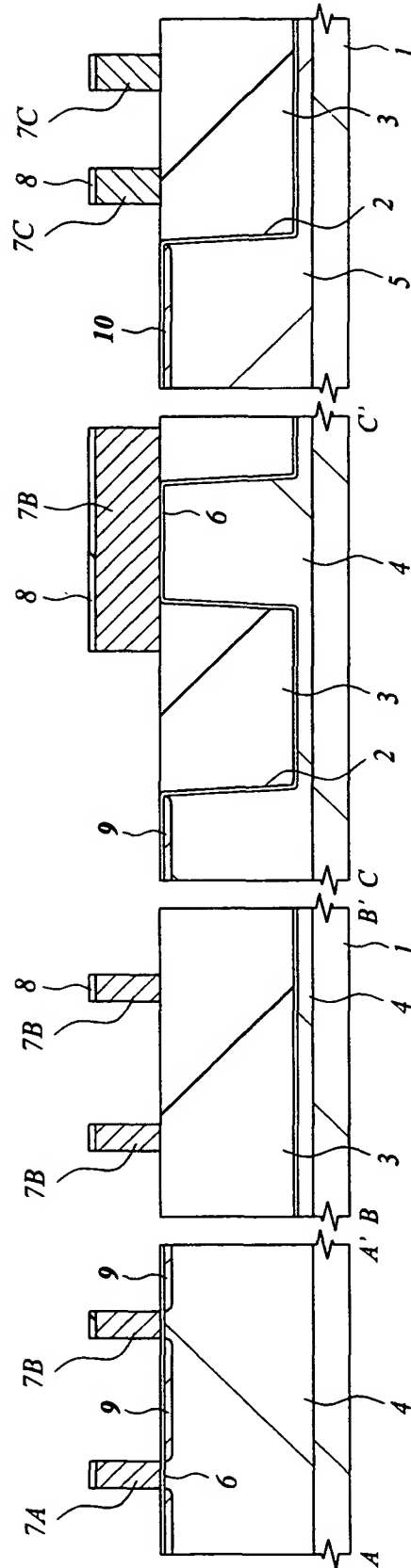
【図 1 0】

図 10

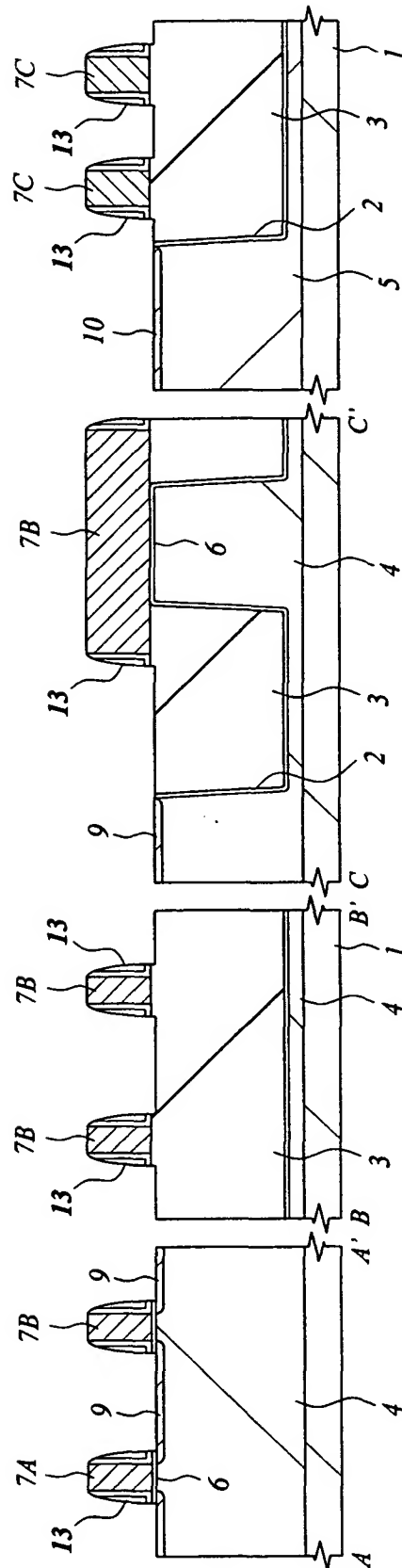


【図 1 1】

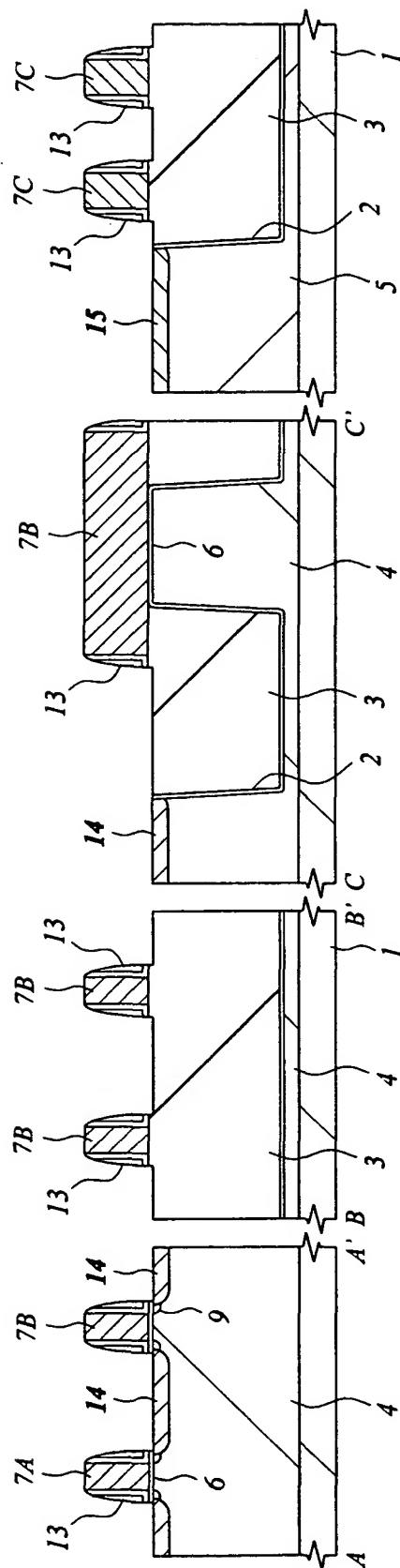
図 11



【図 12】

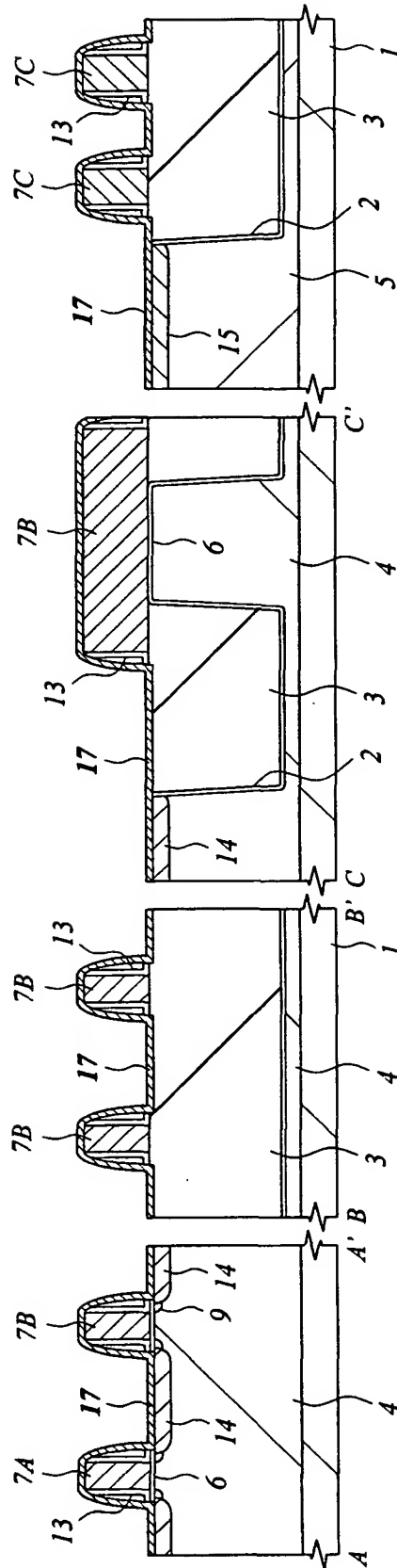


【图 13】

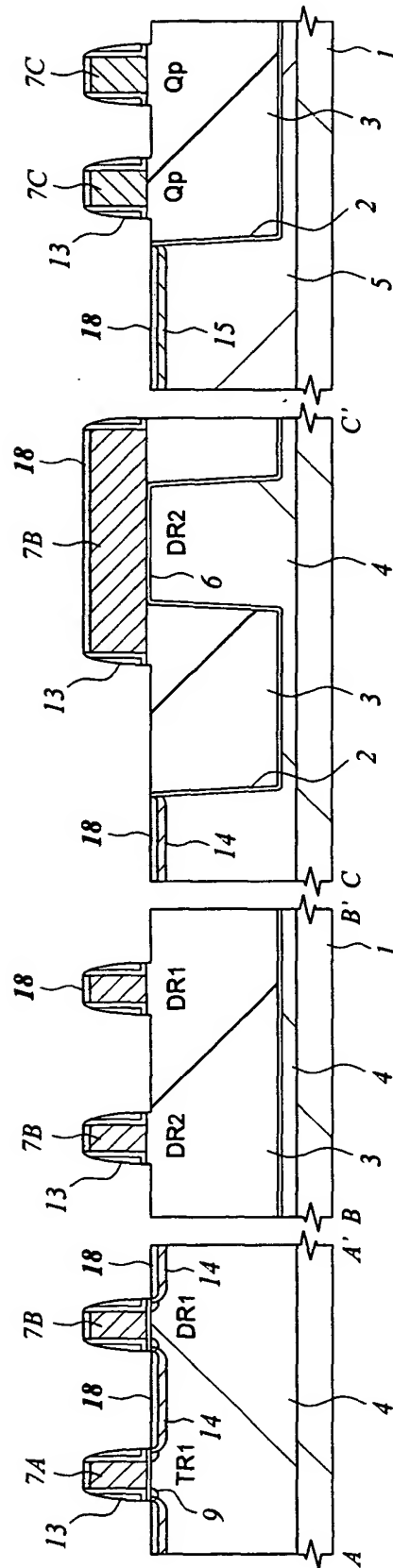


【図 1 4】

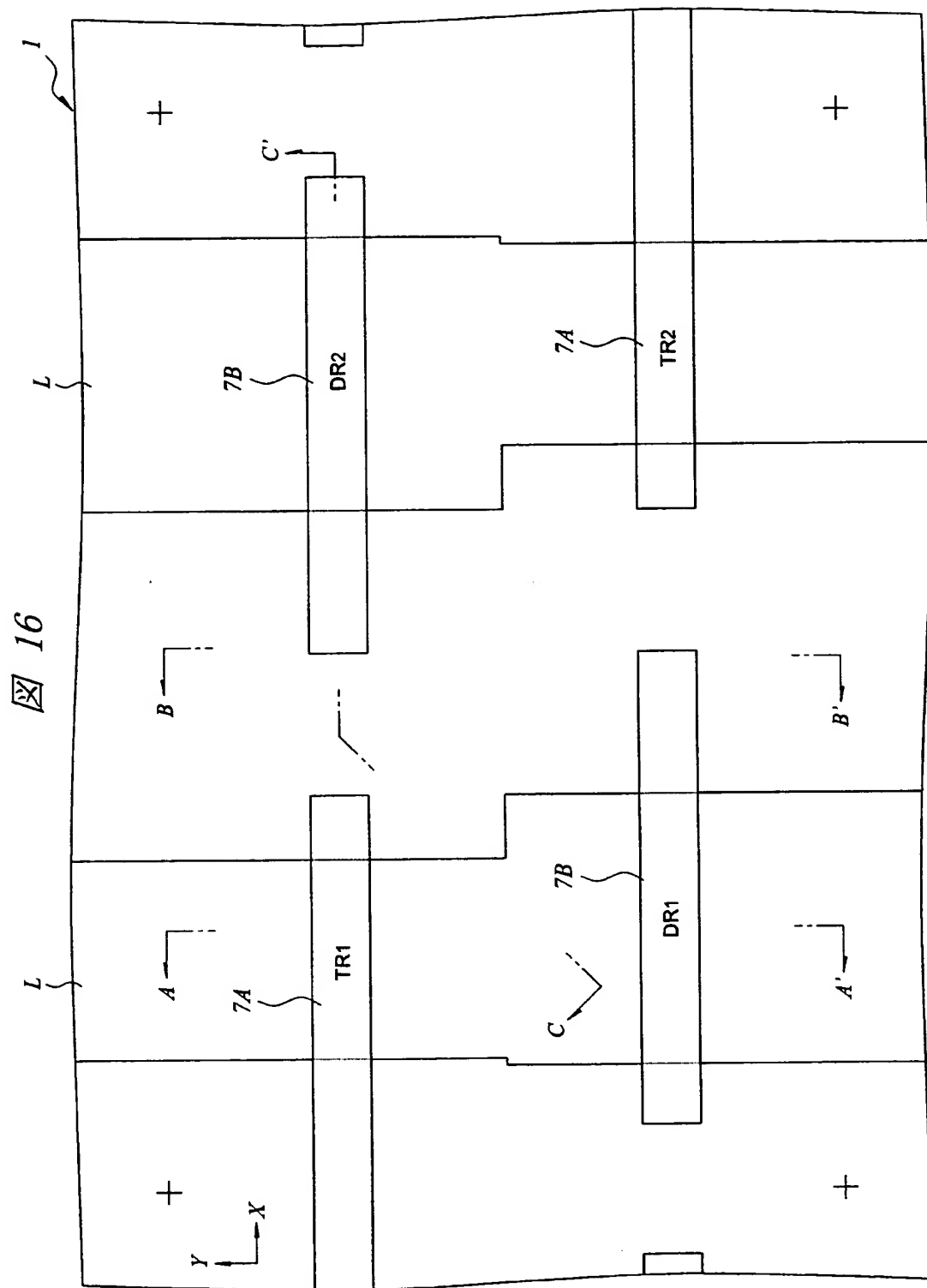
図 14



【図 15】

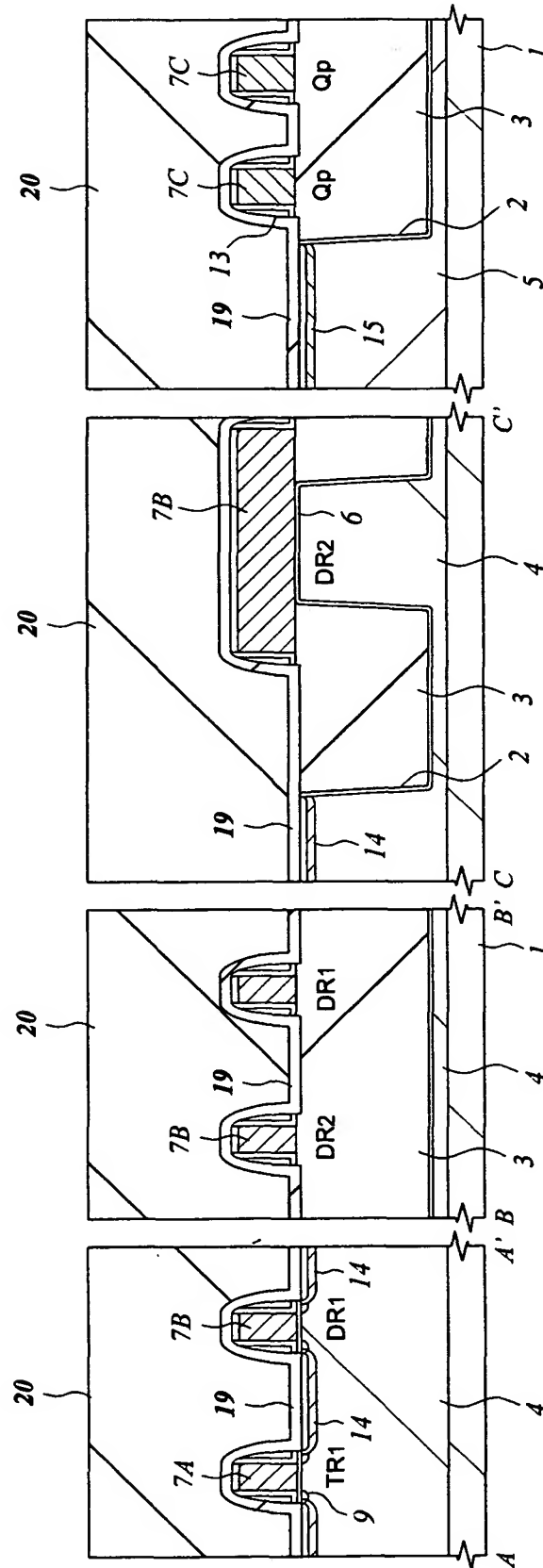


【図16】

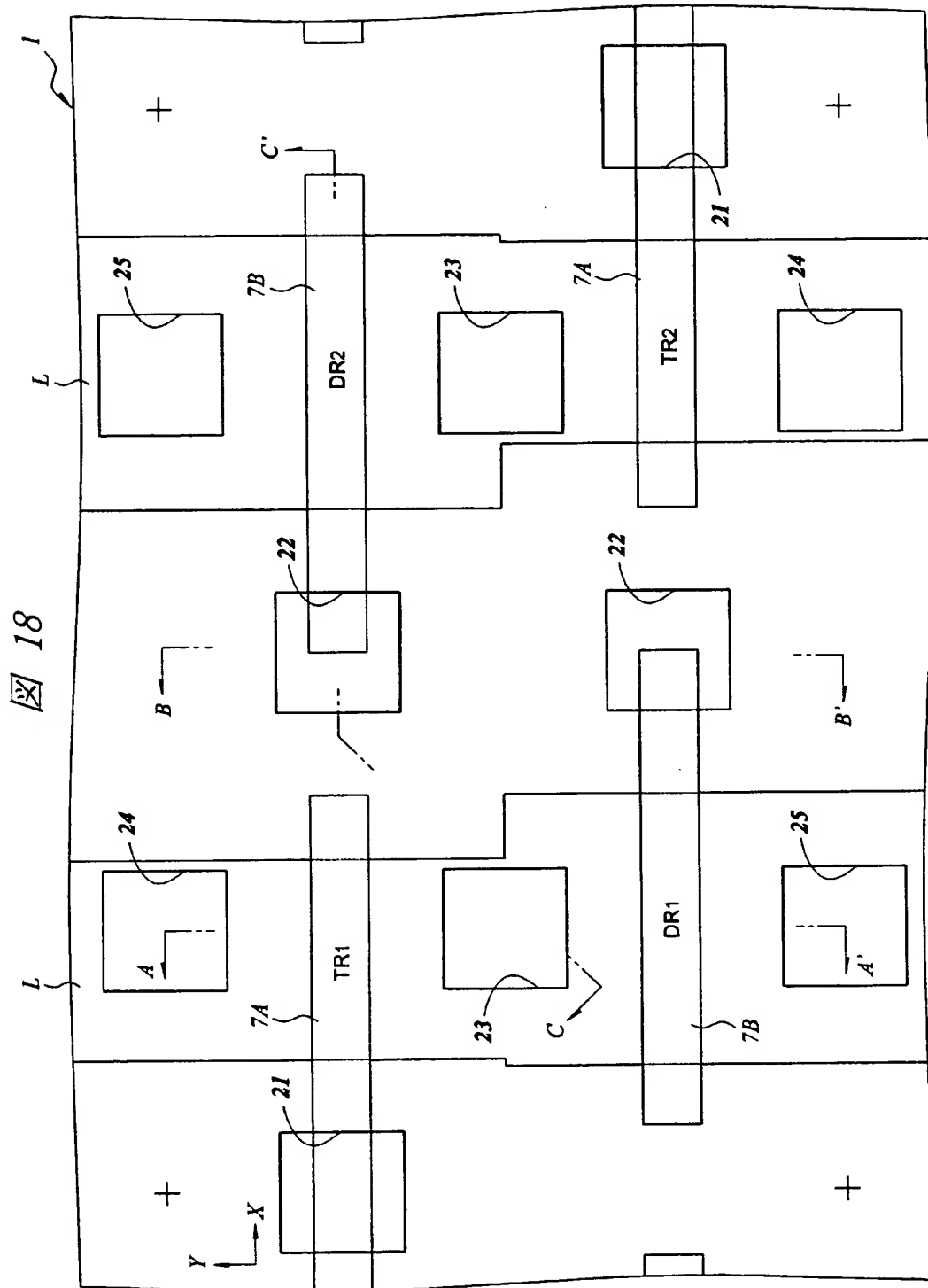


【図 1 7】

図 17

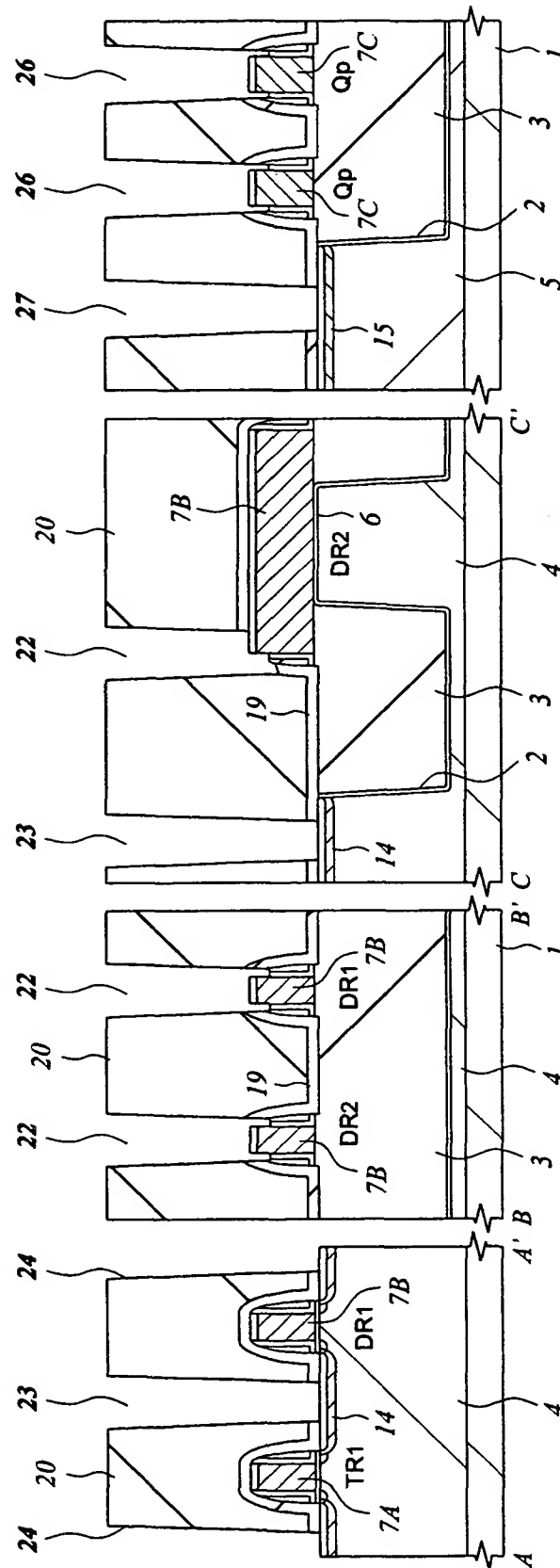


【図18】



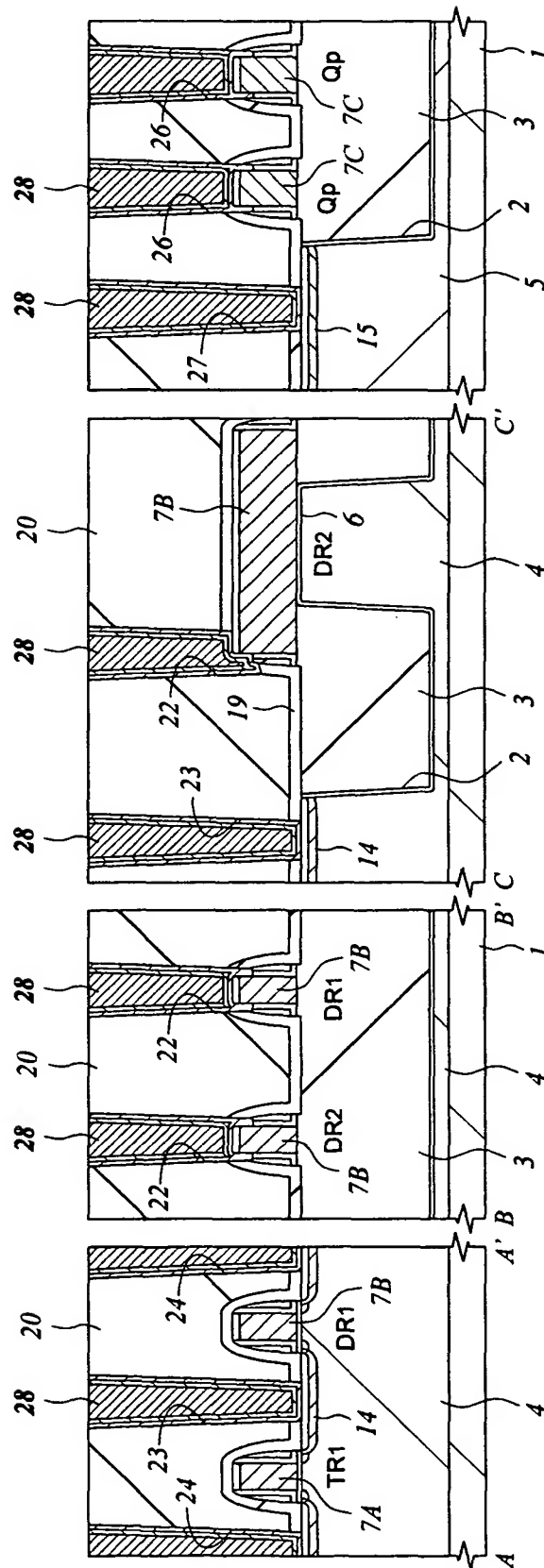
【図19】

図 19



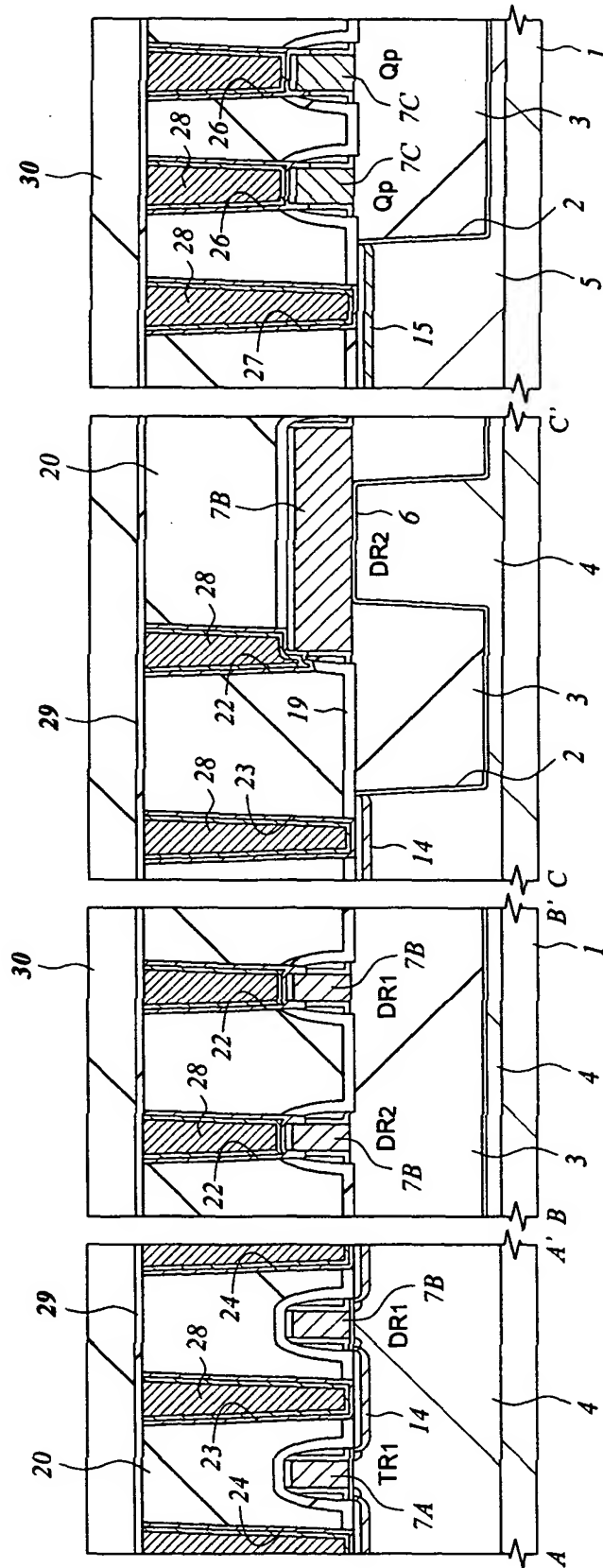
【図20】

図 20

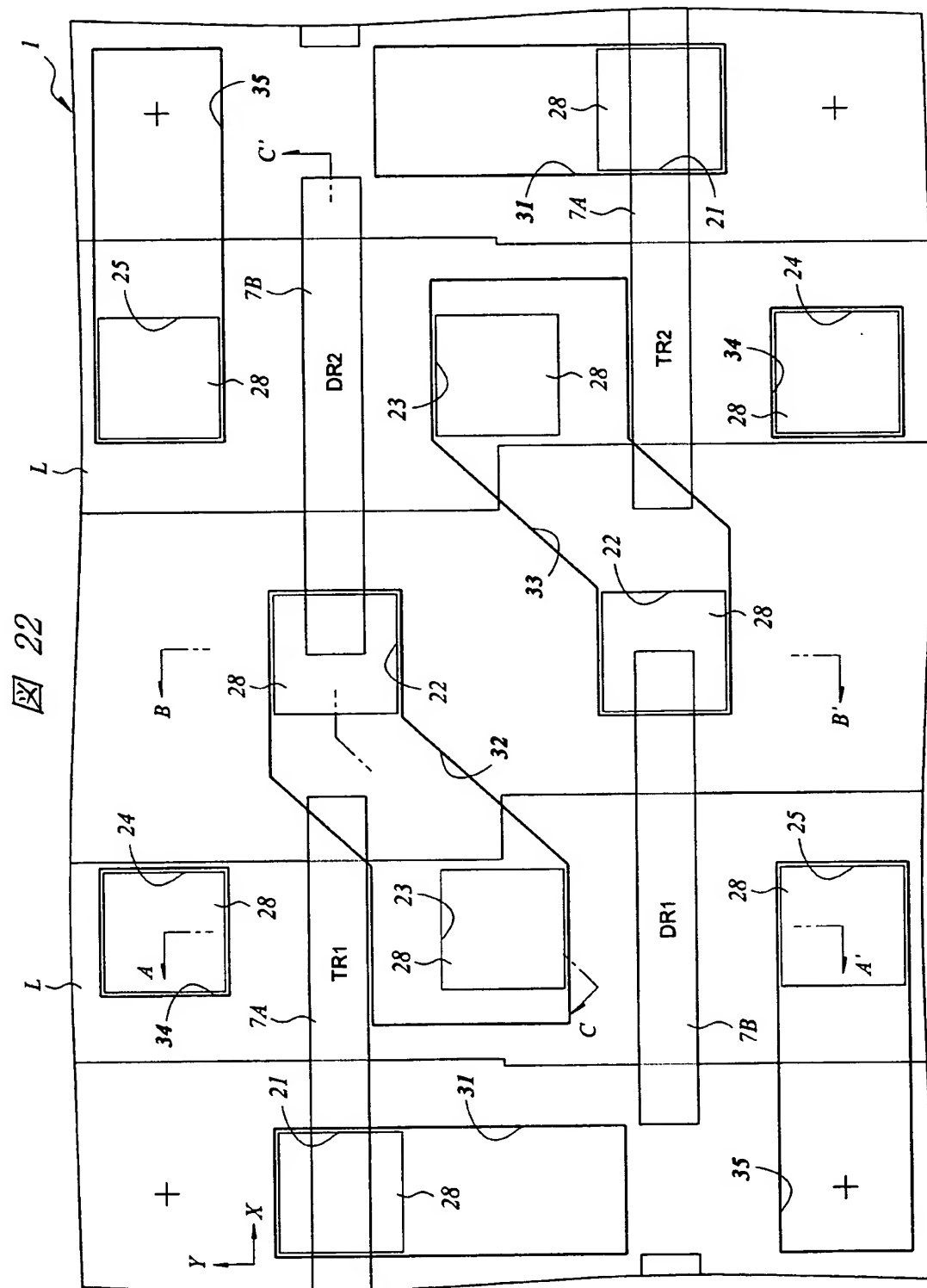


【図 21】

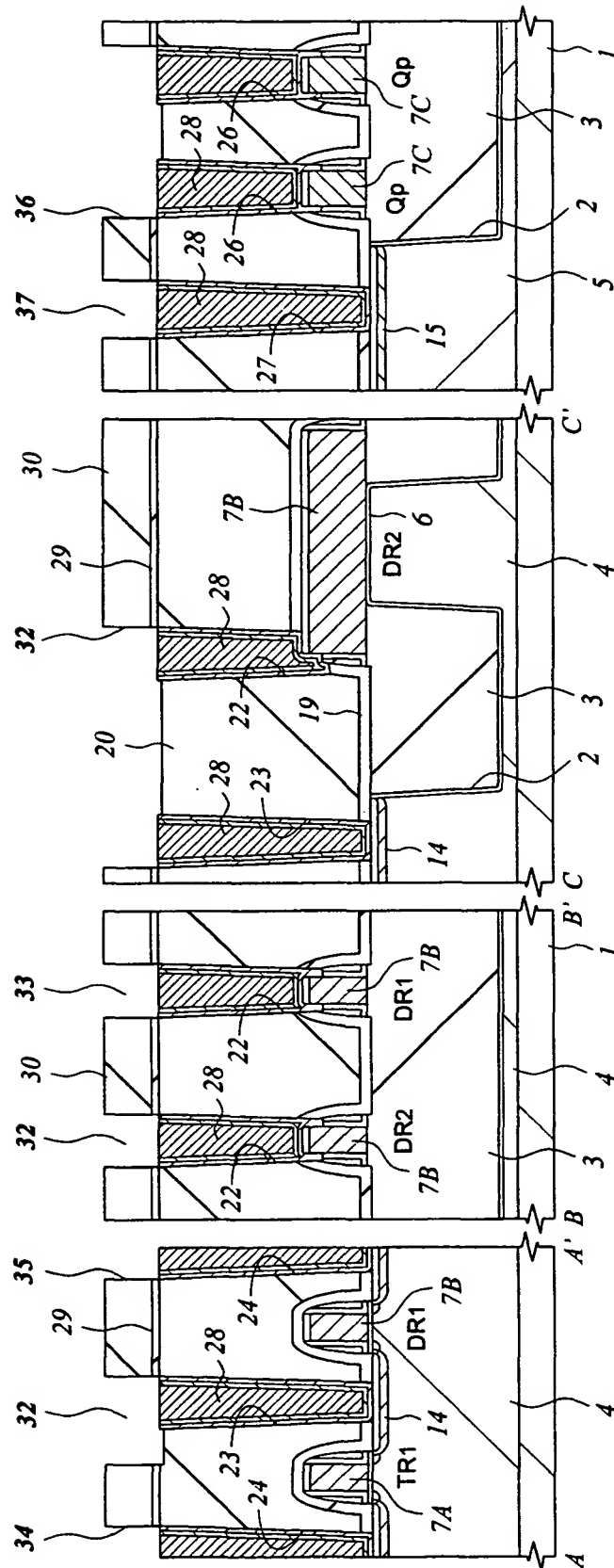
図 21



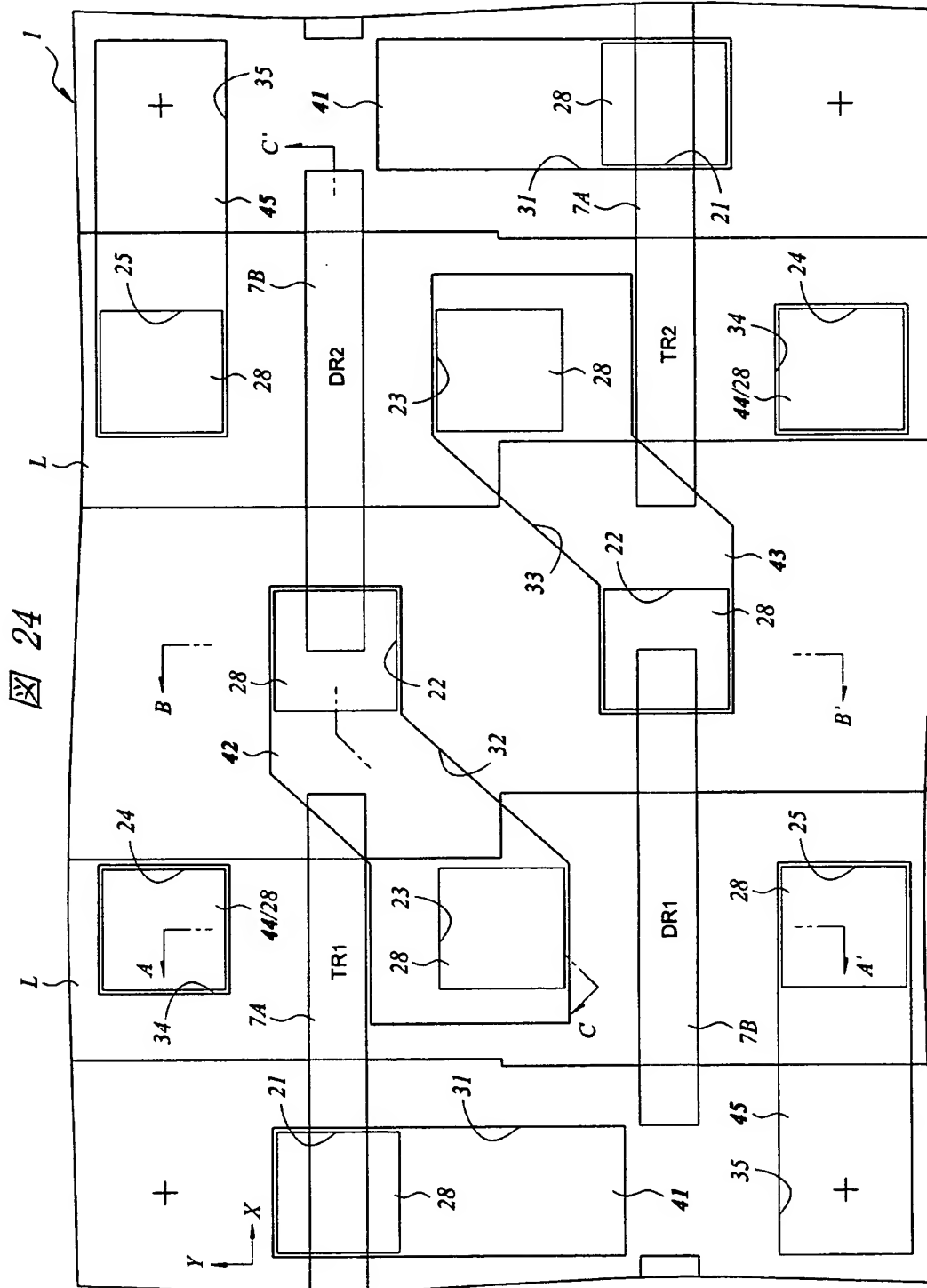
【图 2 2】



【图 23】

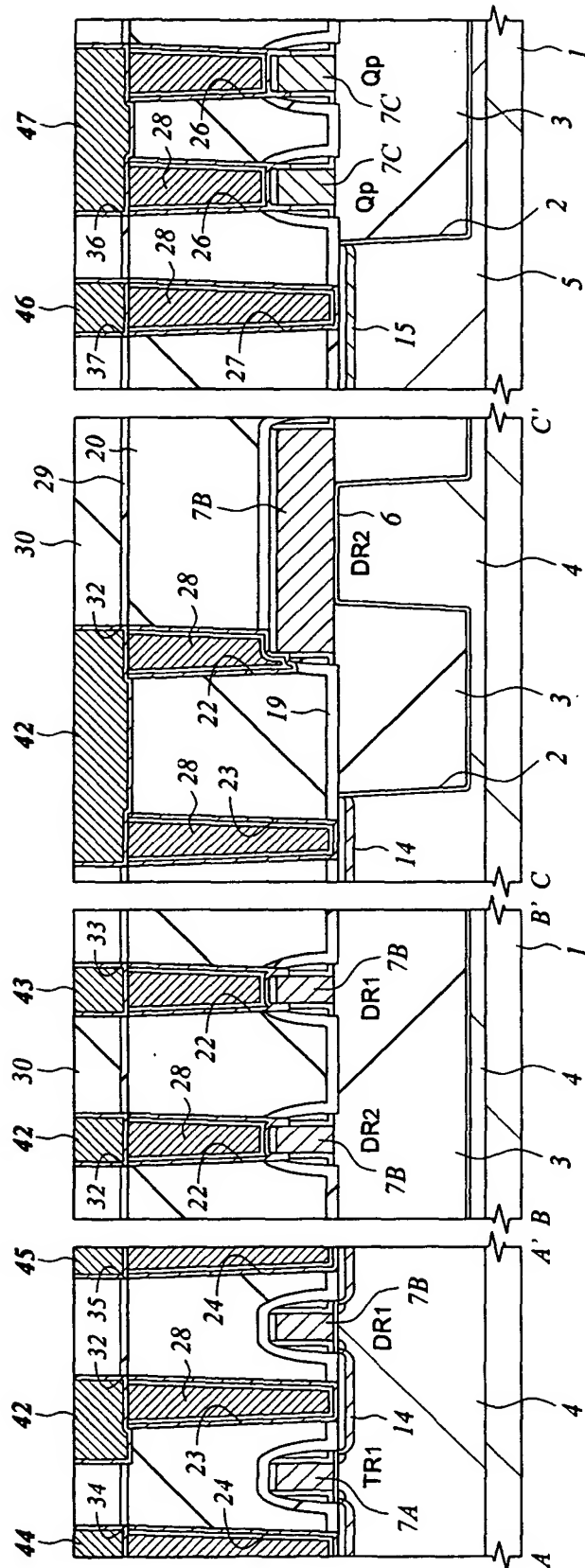


【図 24】

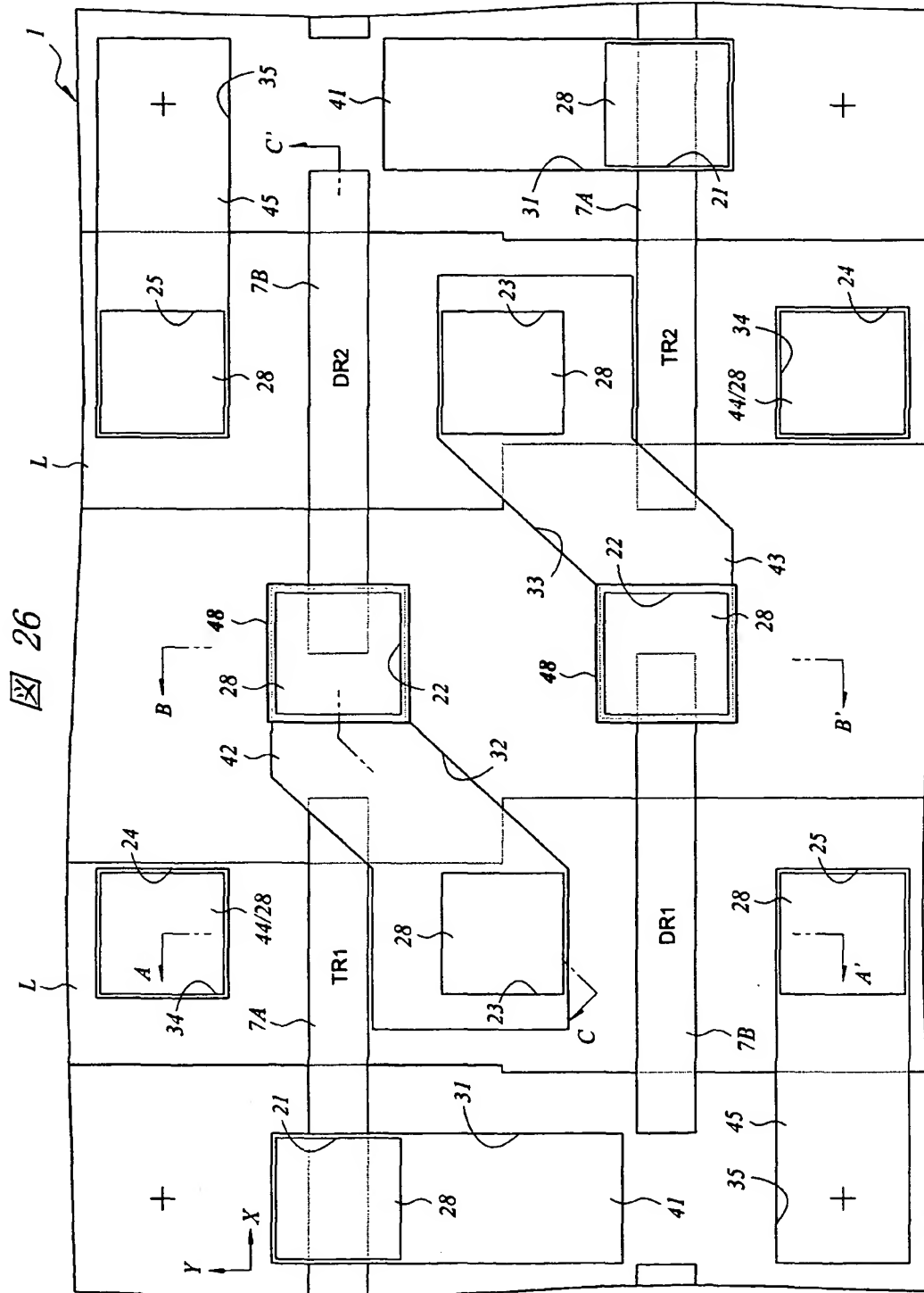


【図25】

図 25

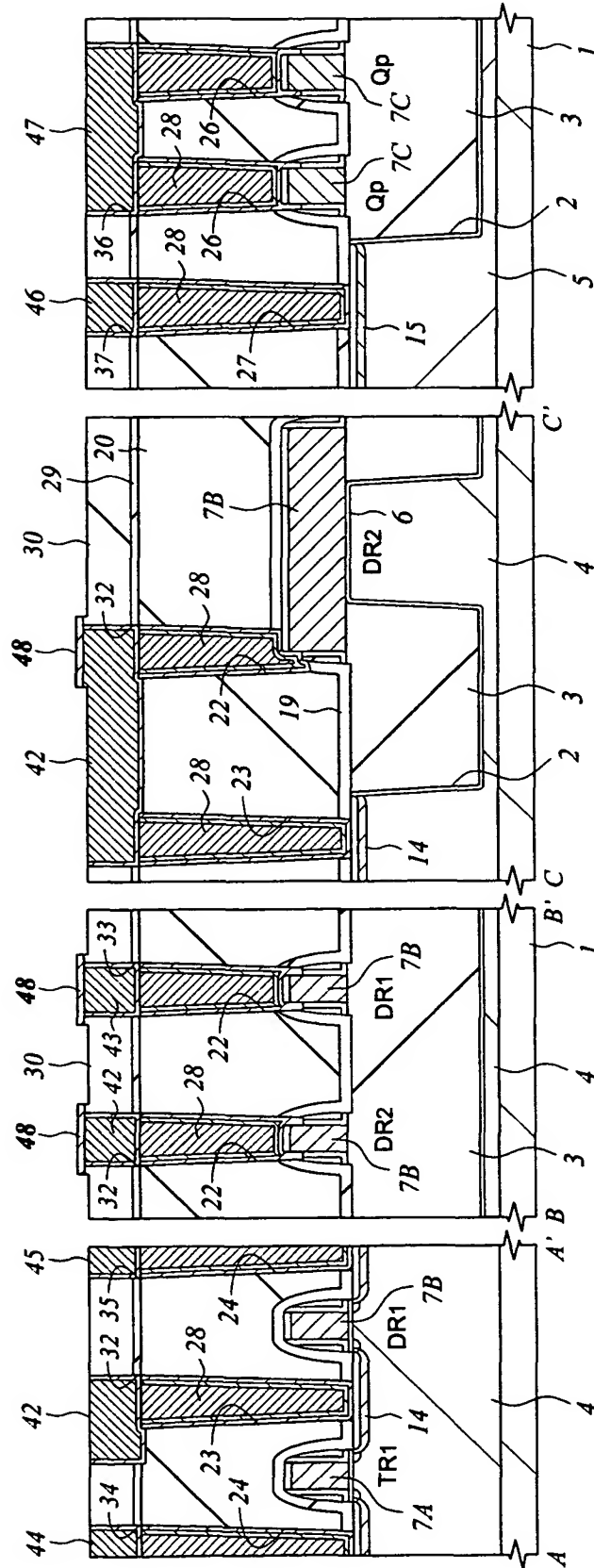


【図26】



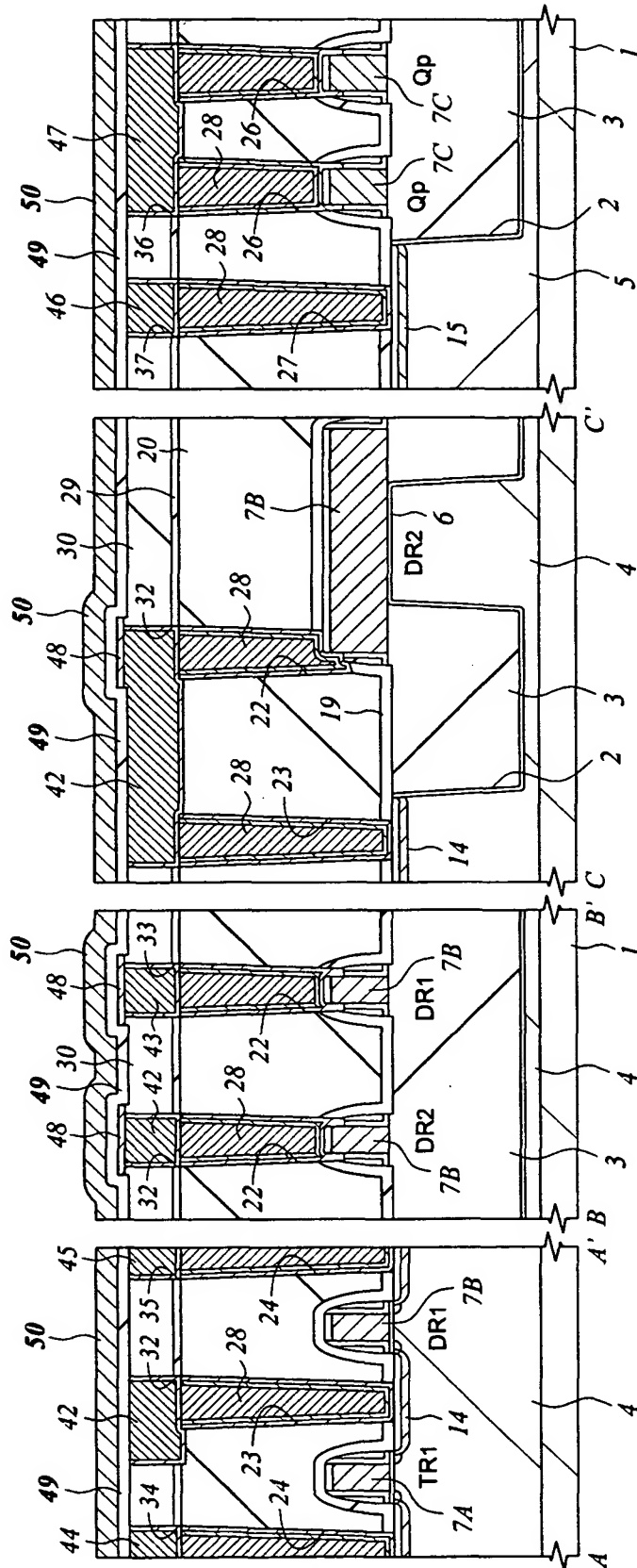
【図27】

図 27

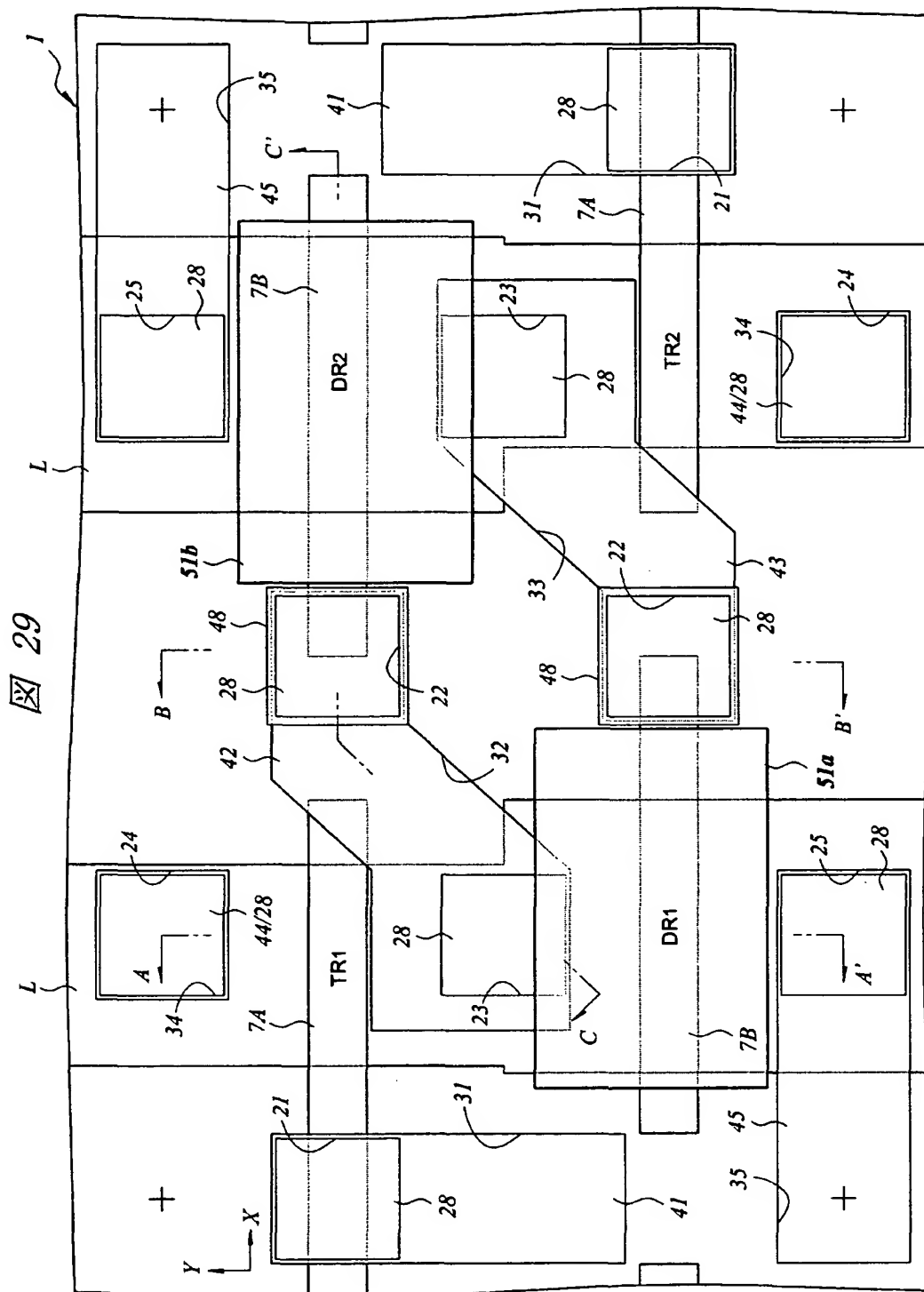


【図28】

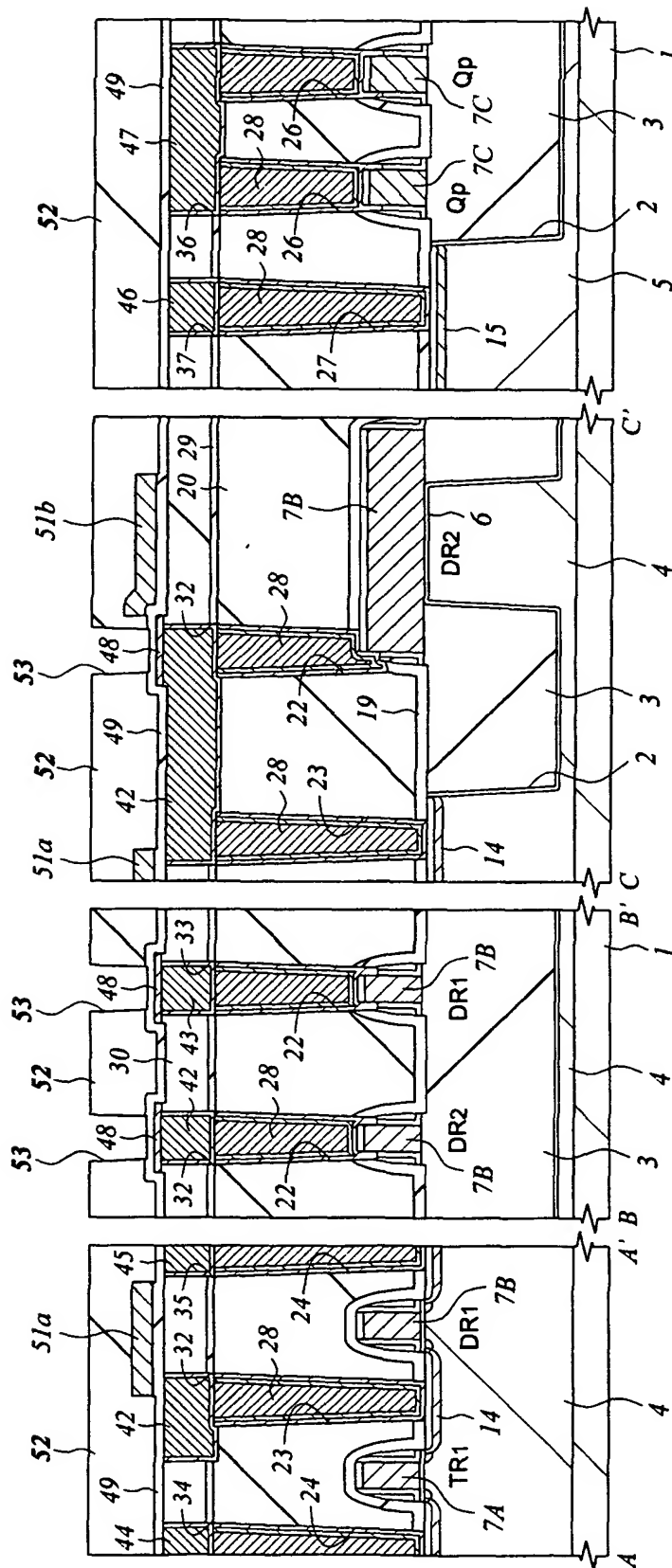
28



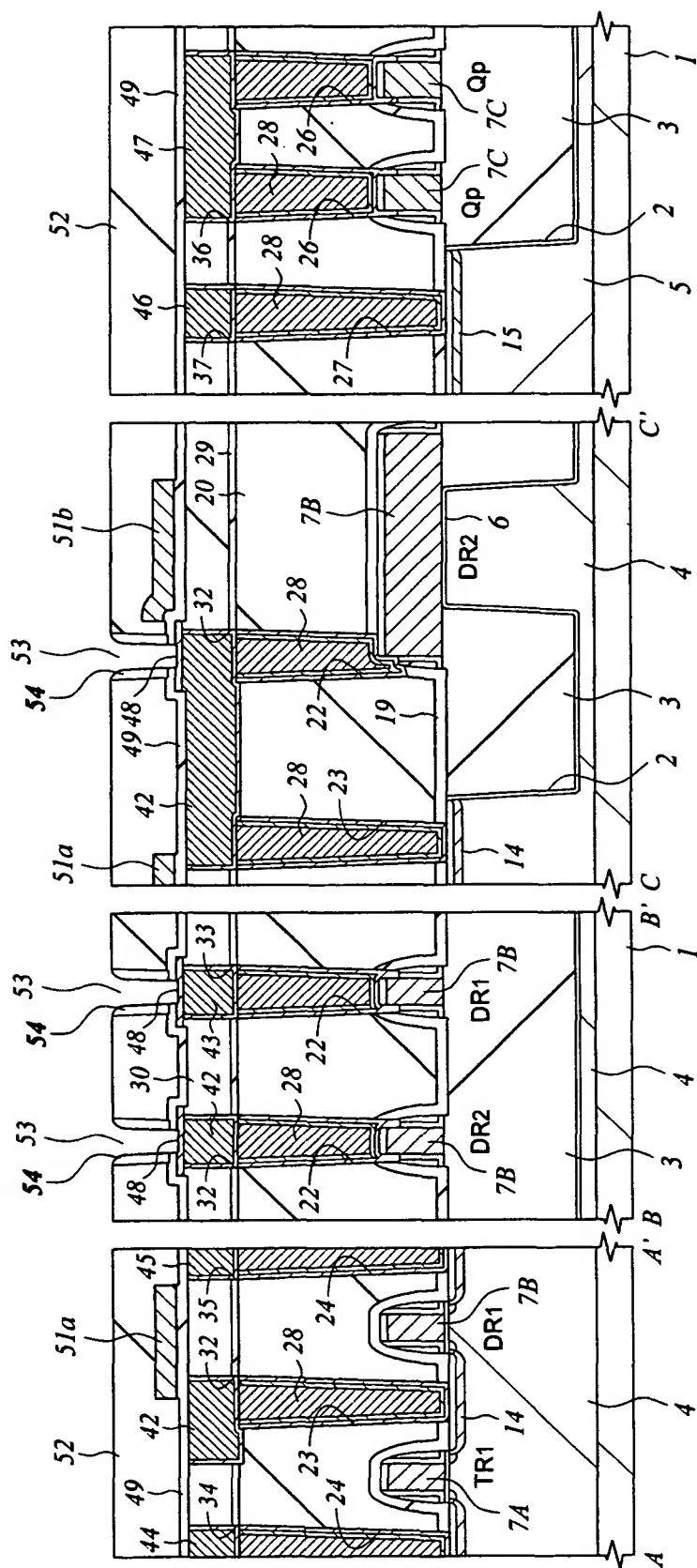
【図29】



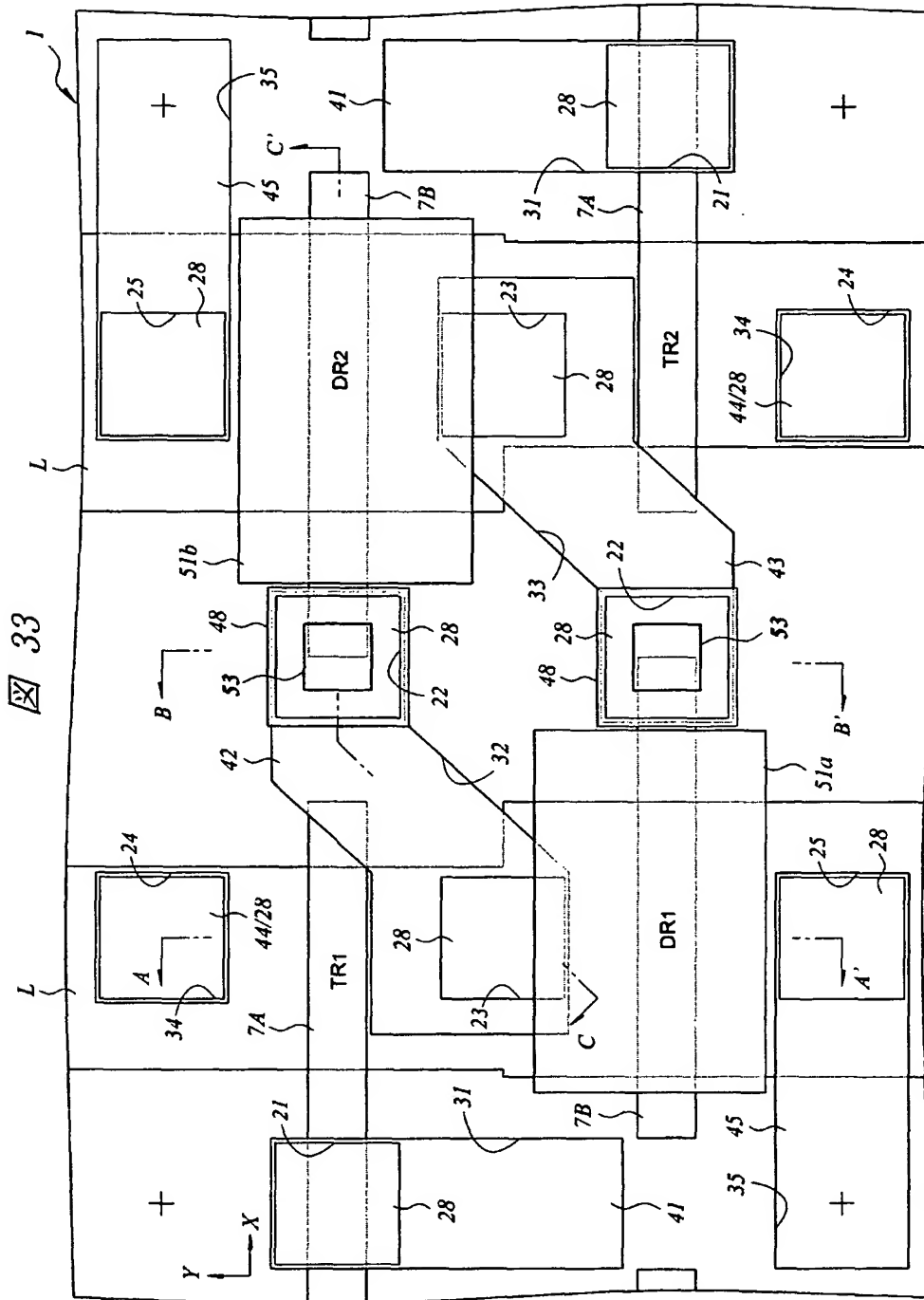
【図 3 1】



【図 3 2】

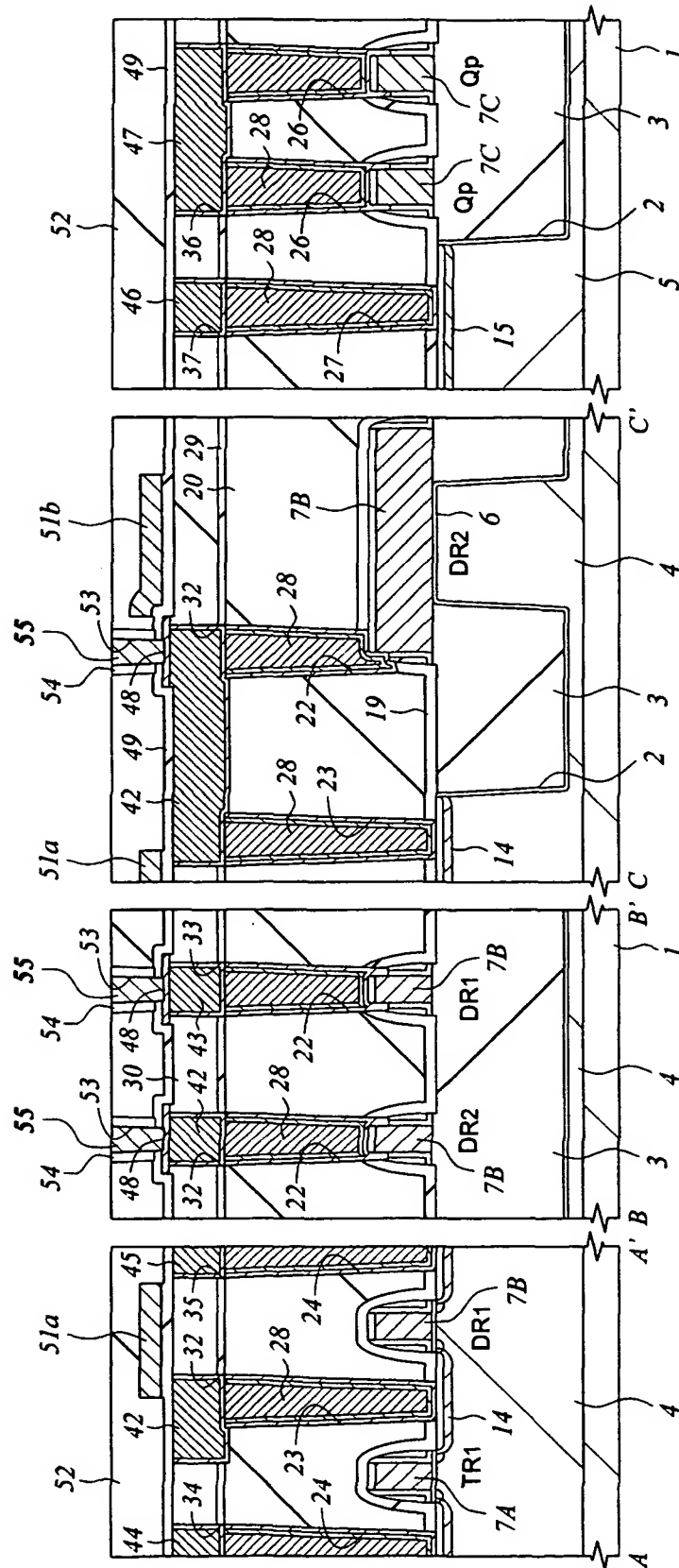


【図33】



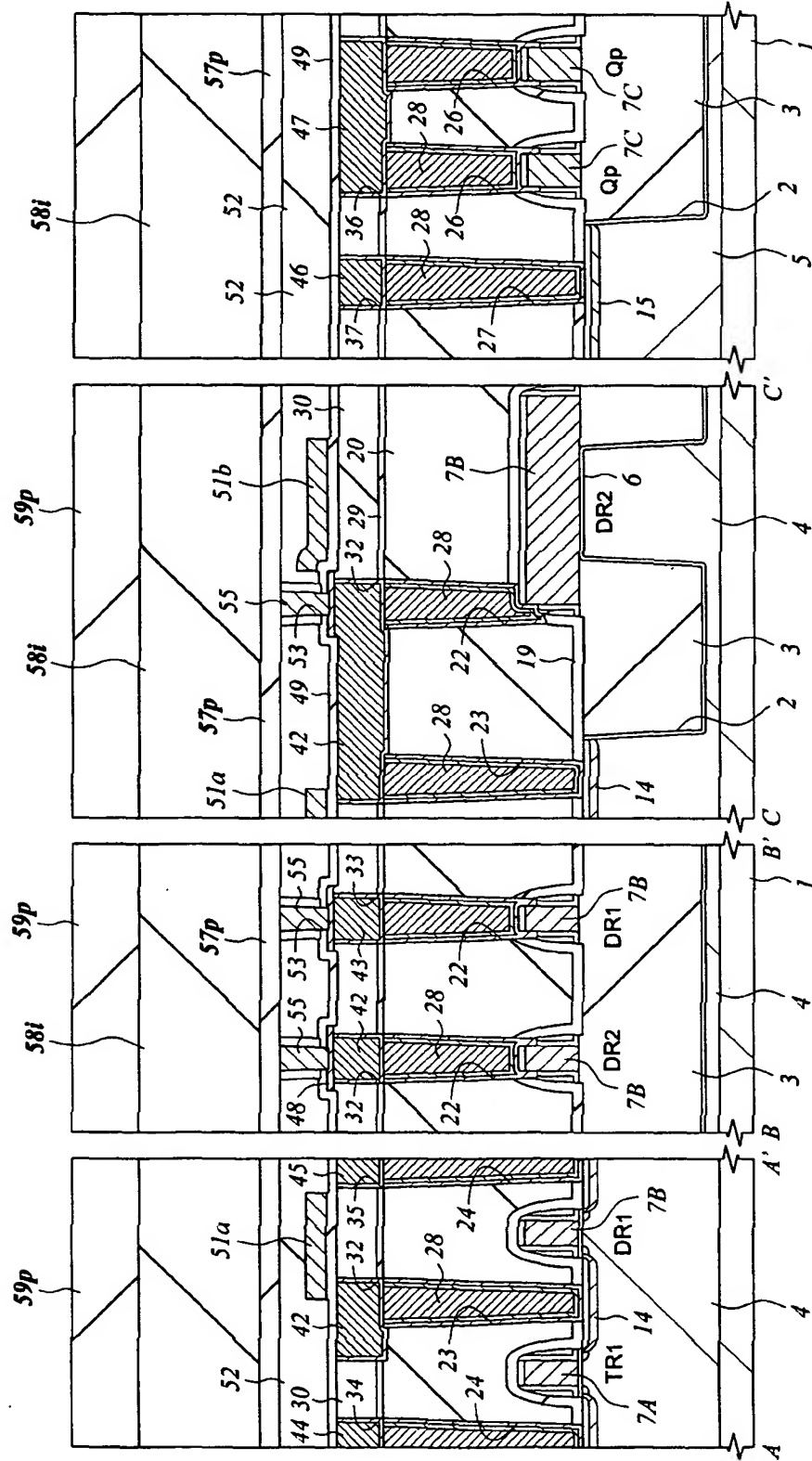
【図 34】

図 34

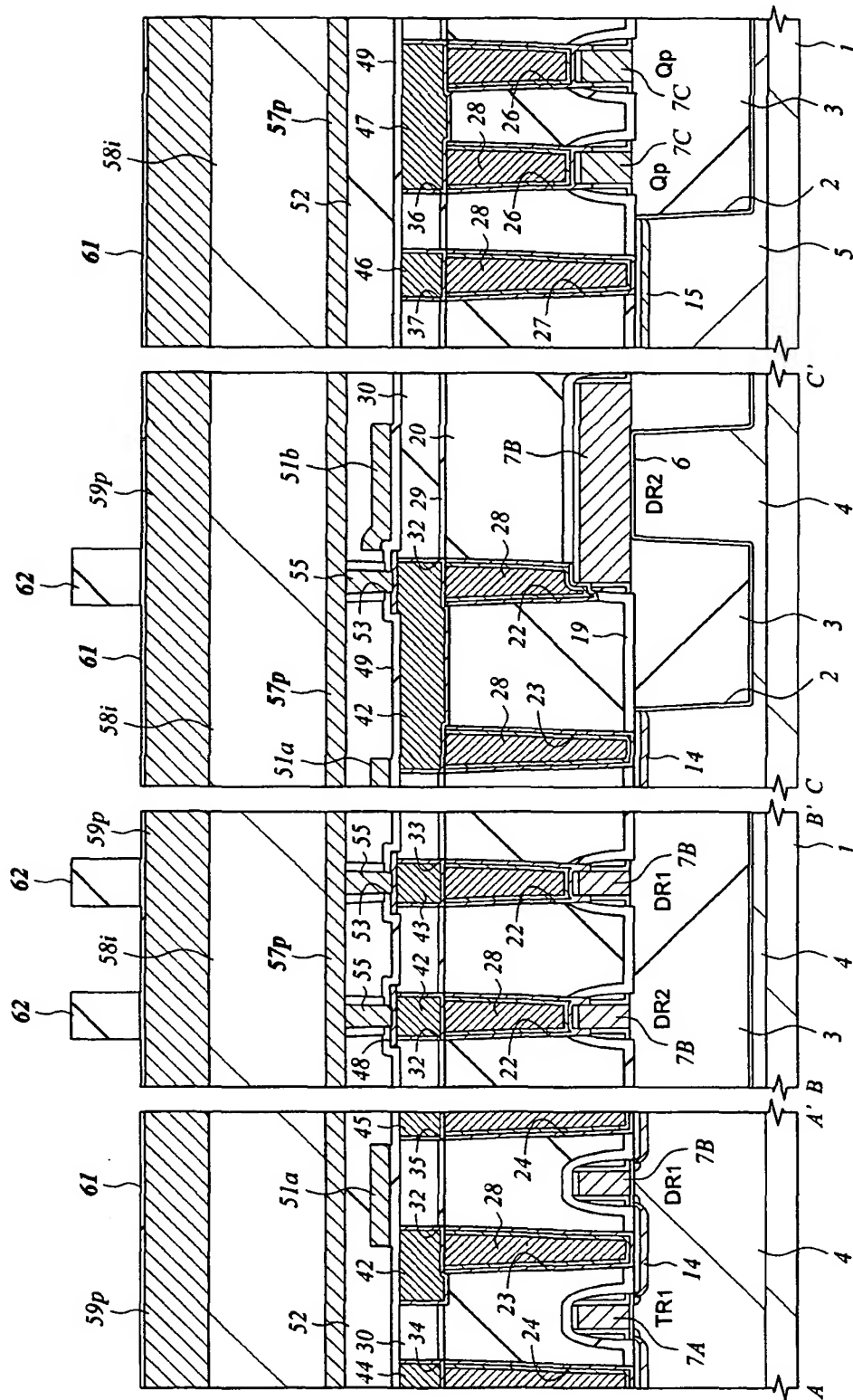


【図35】

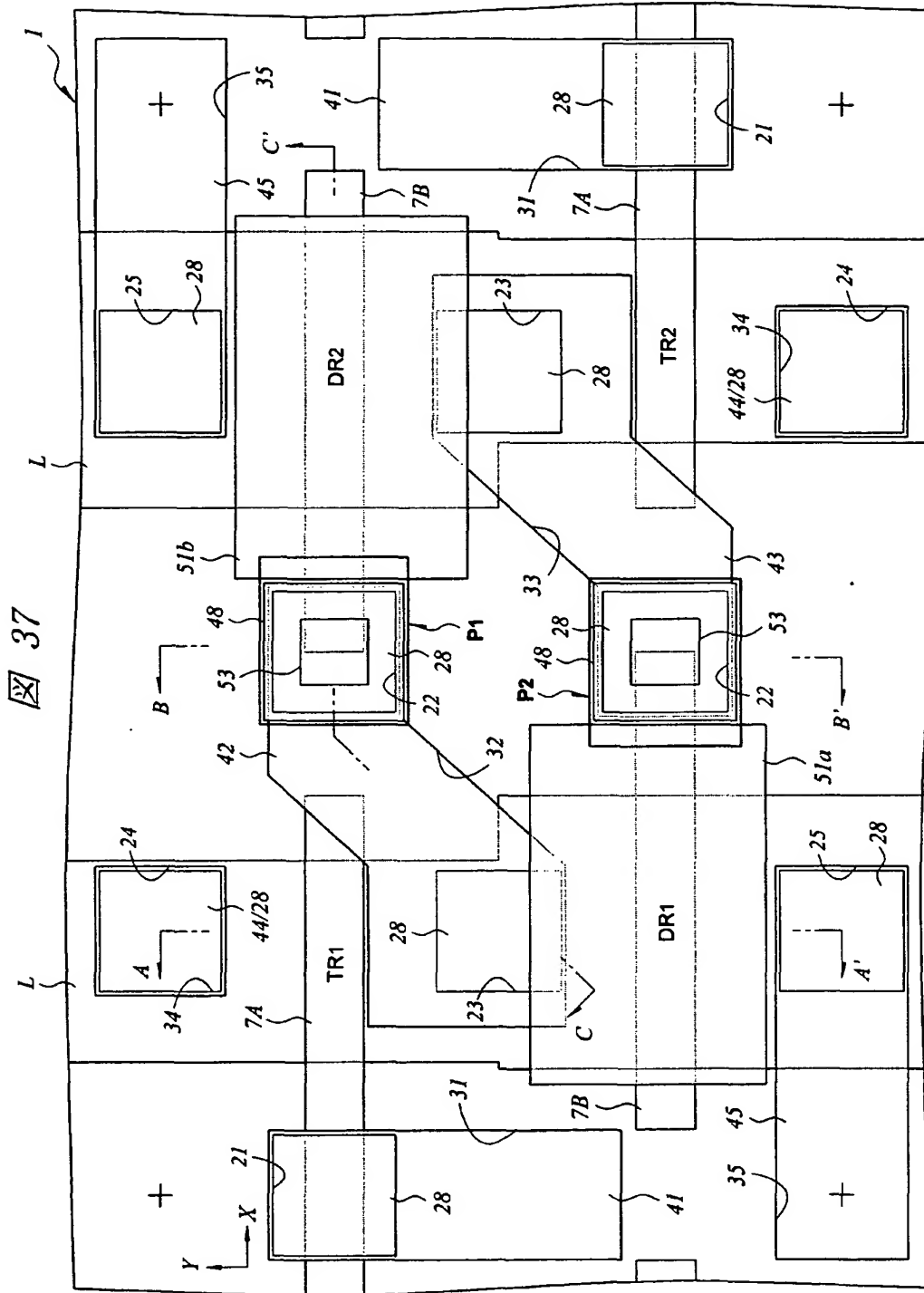
35



【図 3 6】

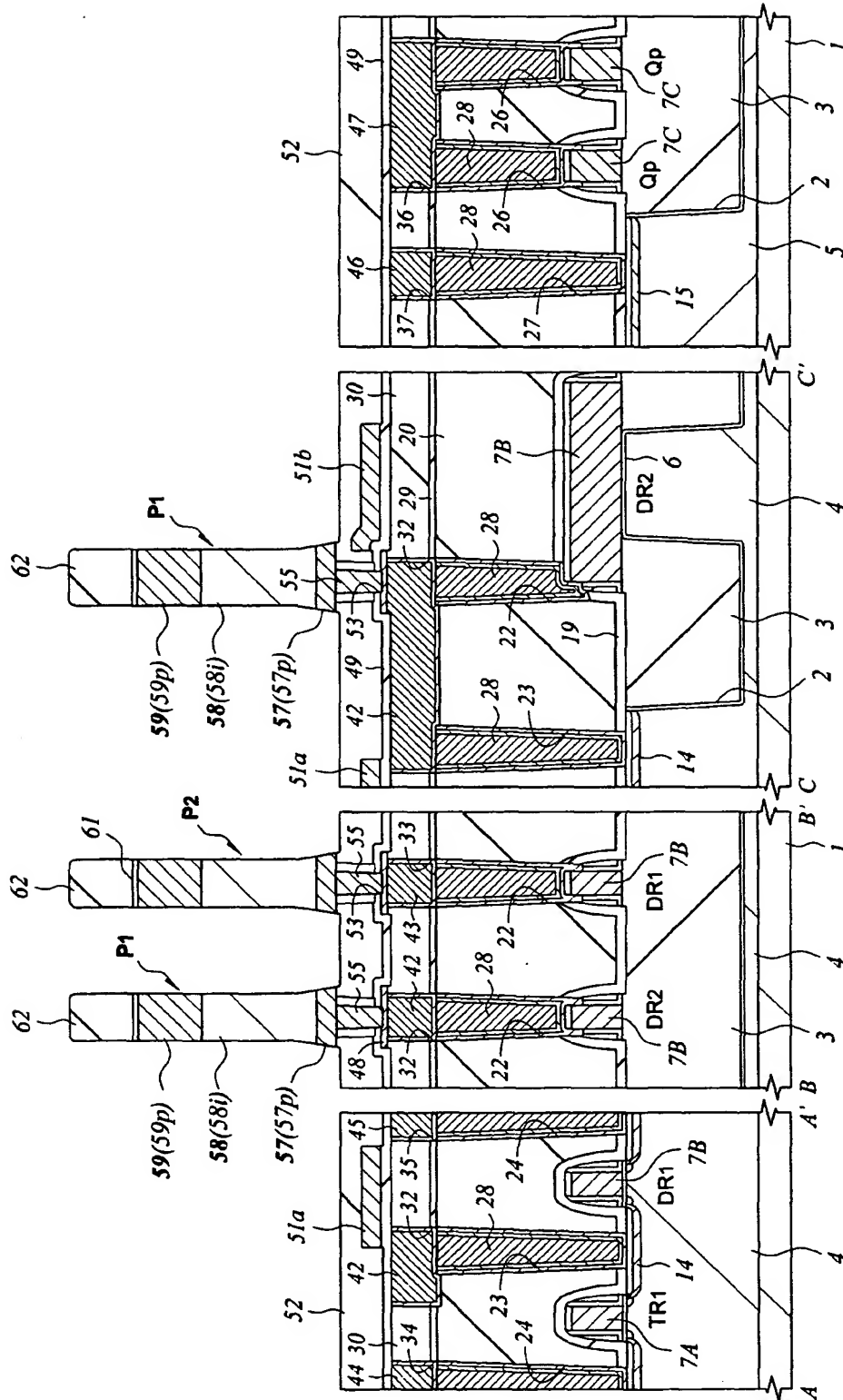


【図37】



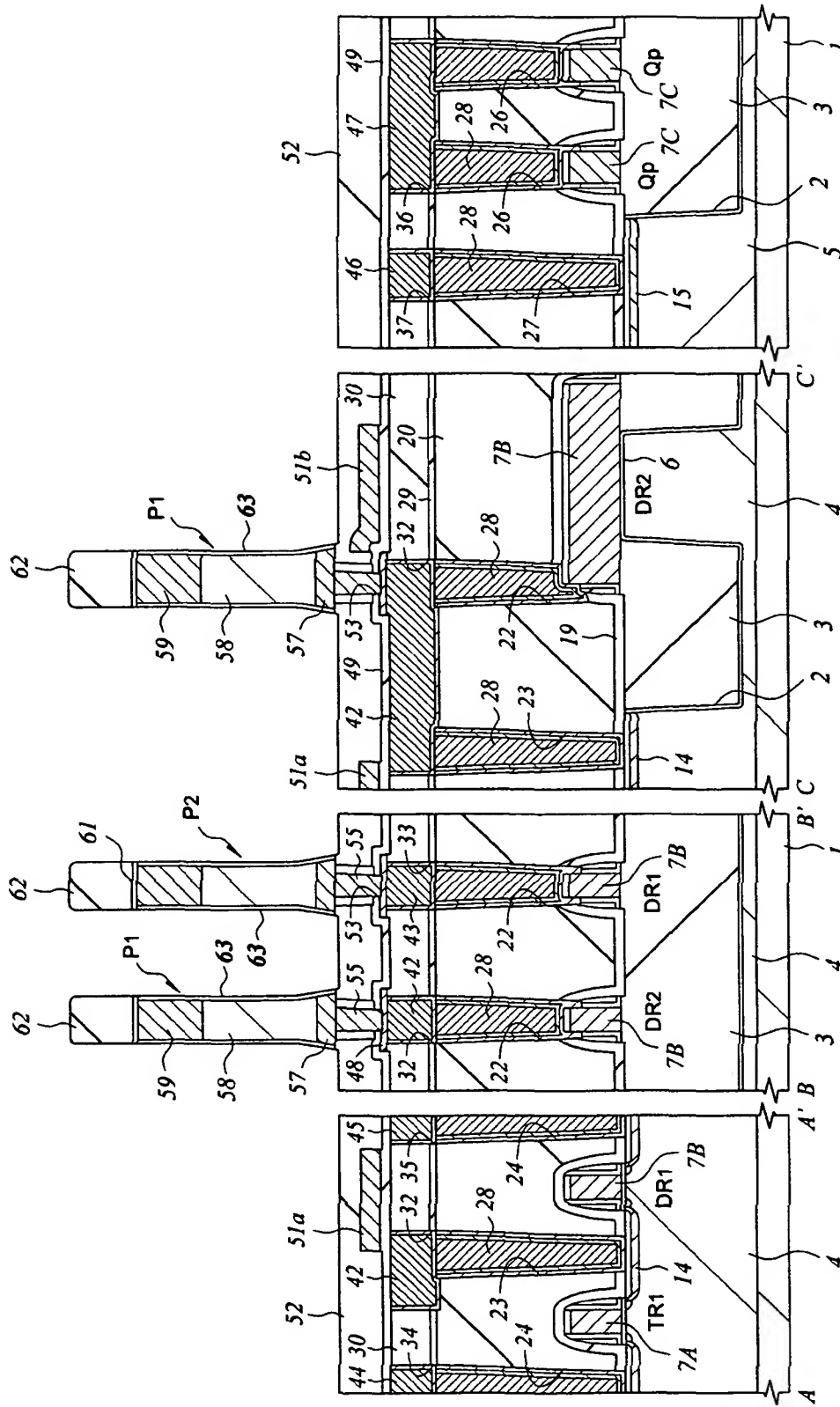
【図 38】

38



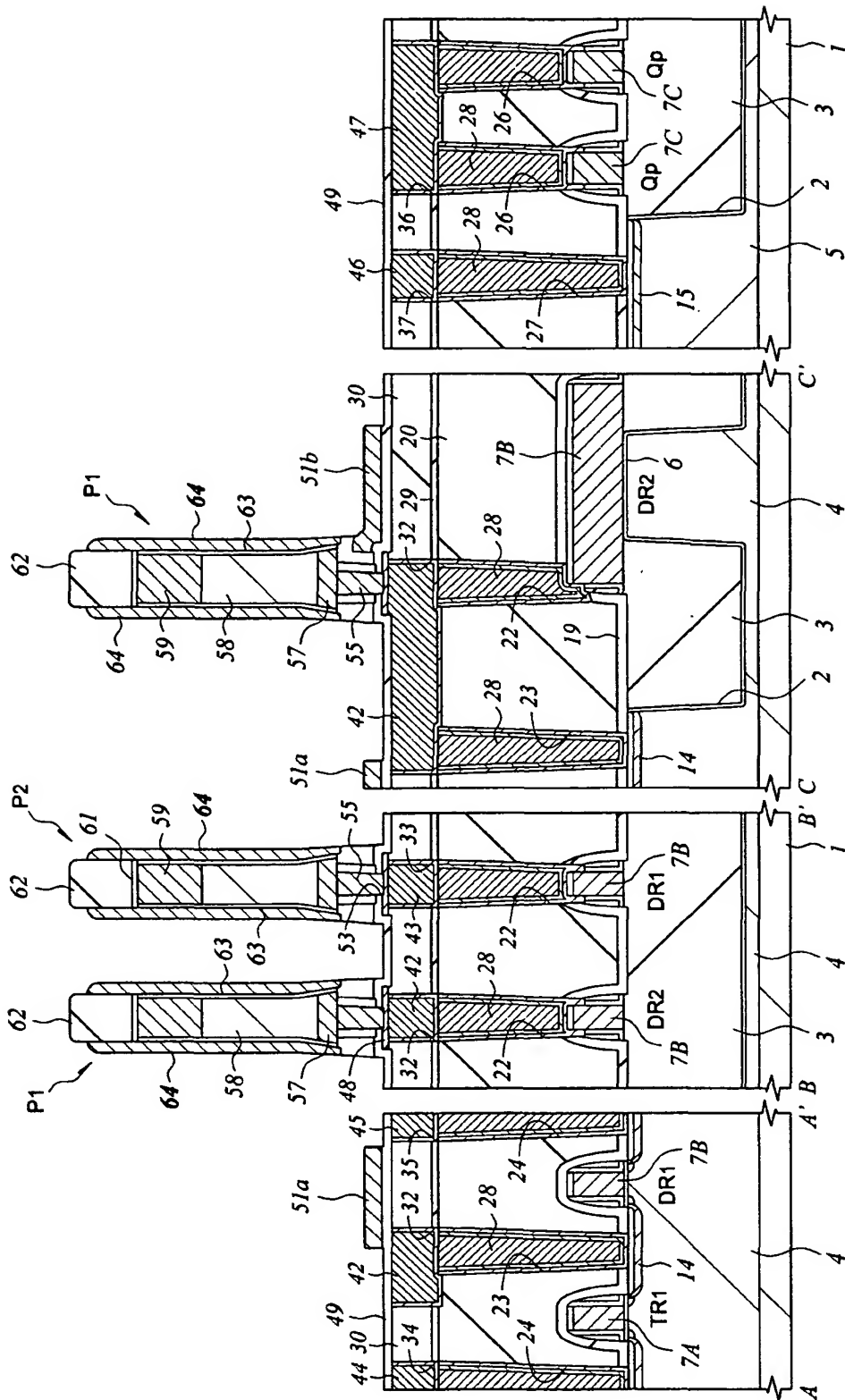
【図39】

図 39



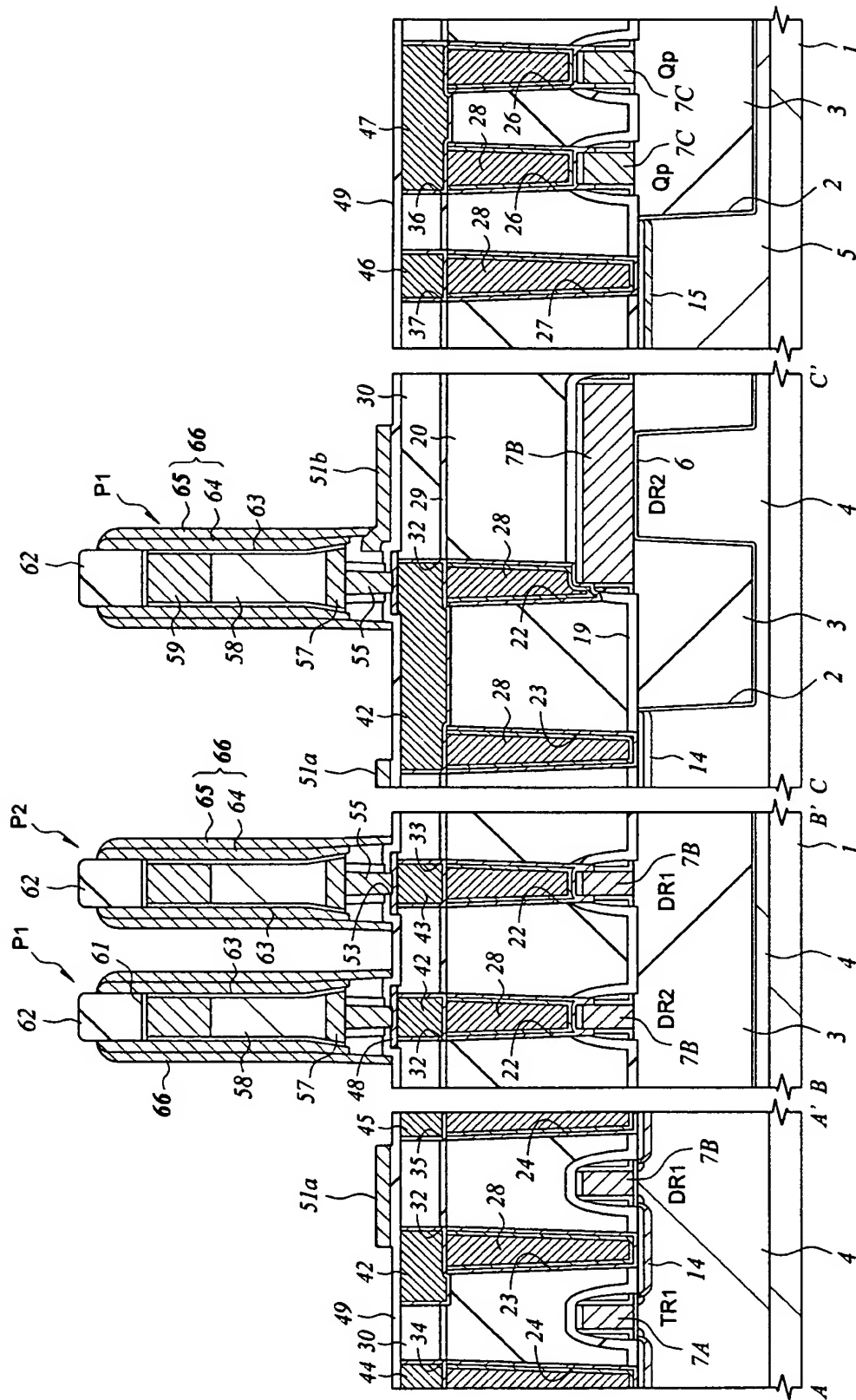
【図 40】

図 40

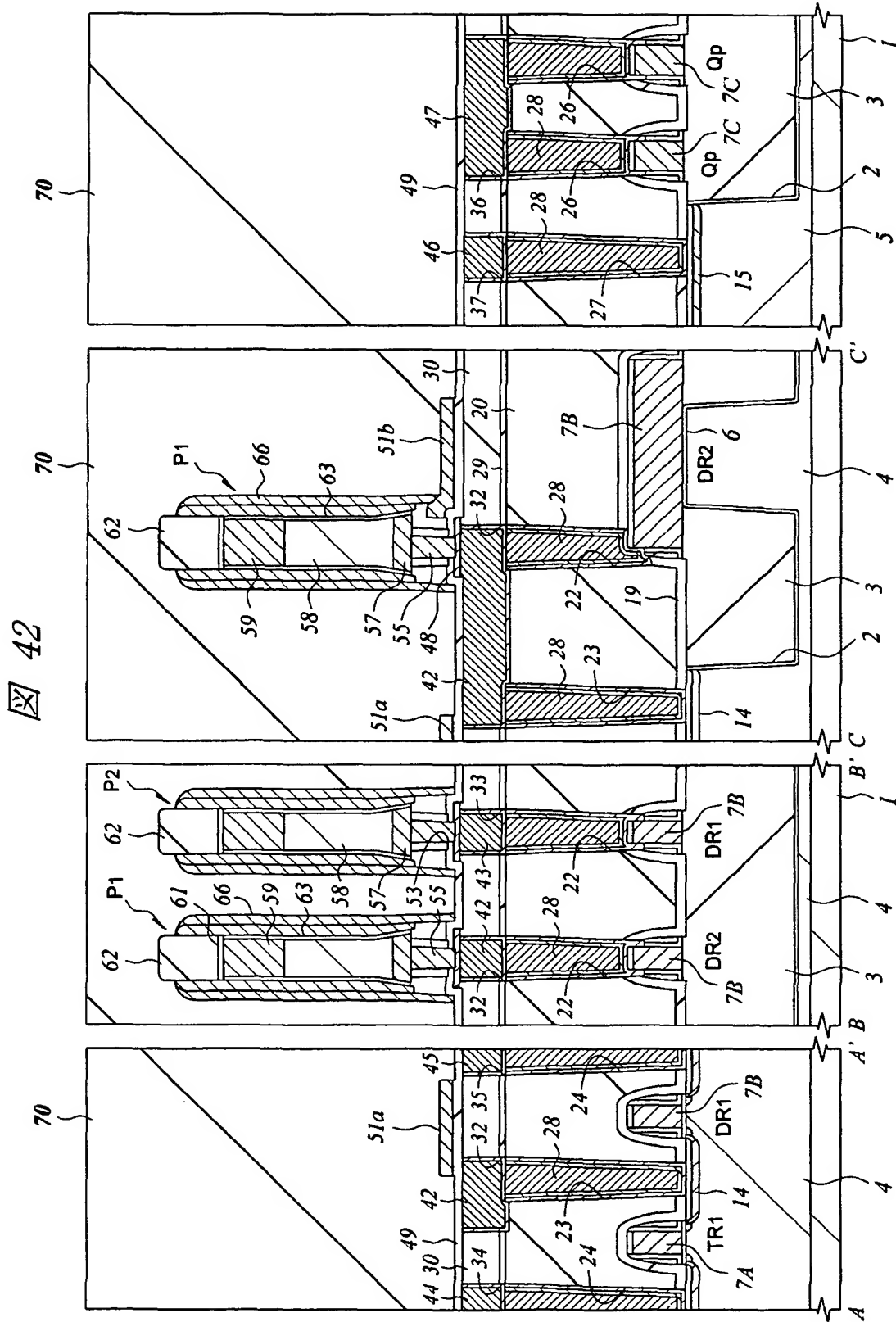


【図41】

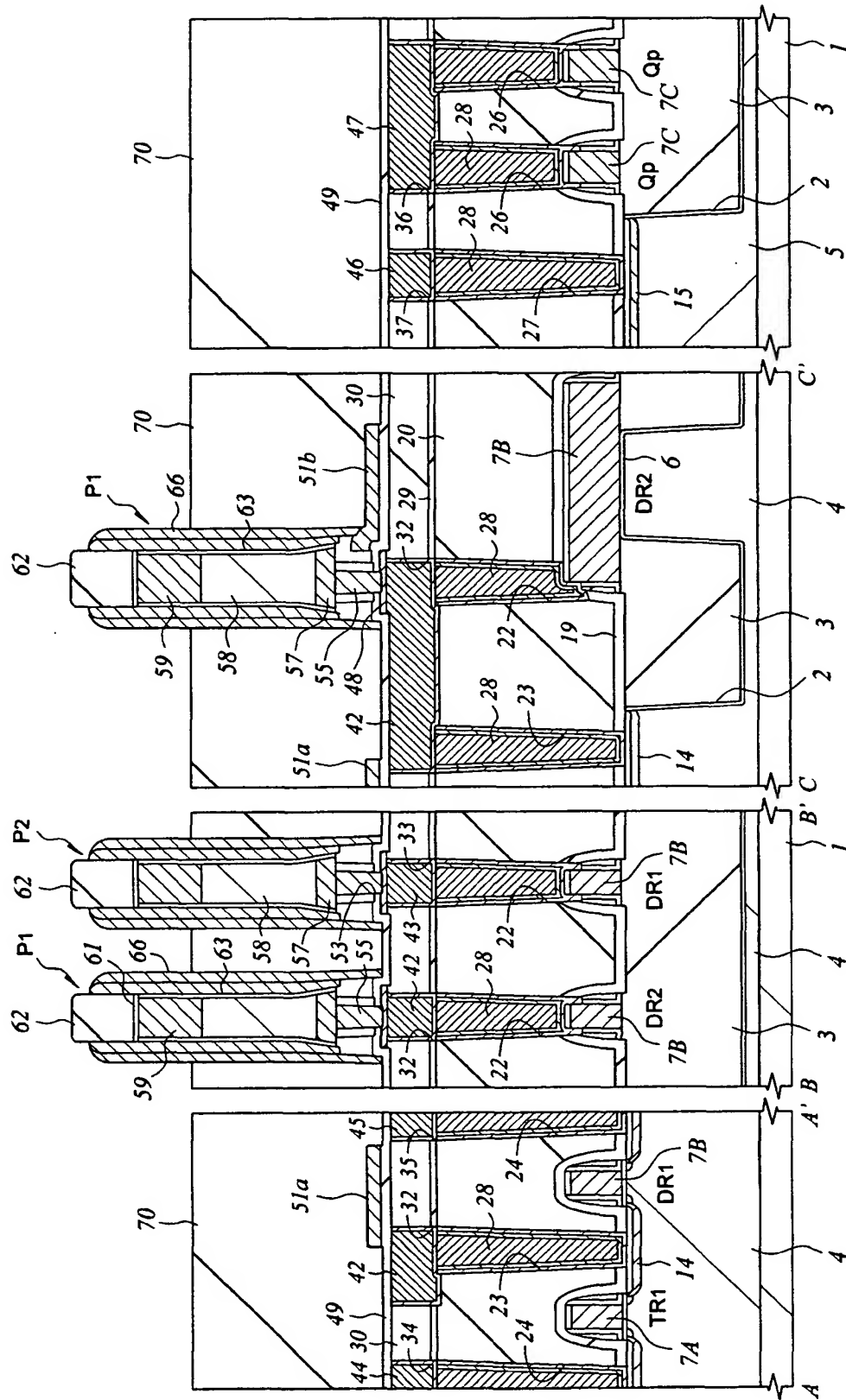
41



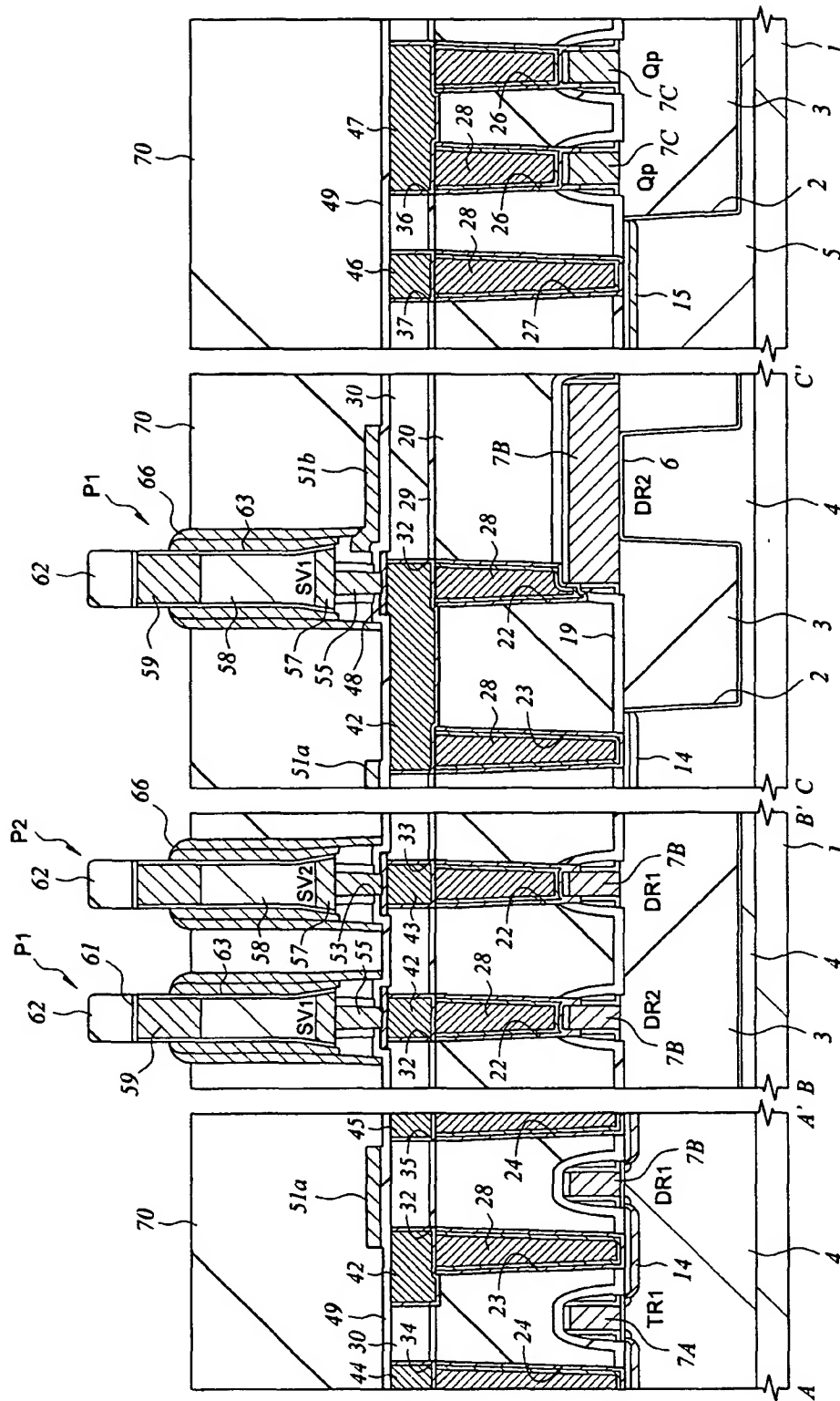
【図42】



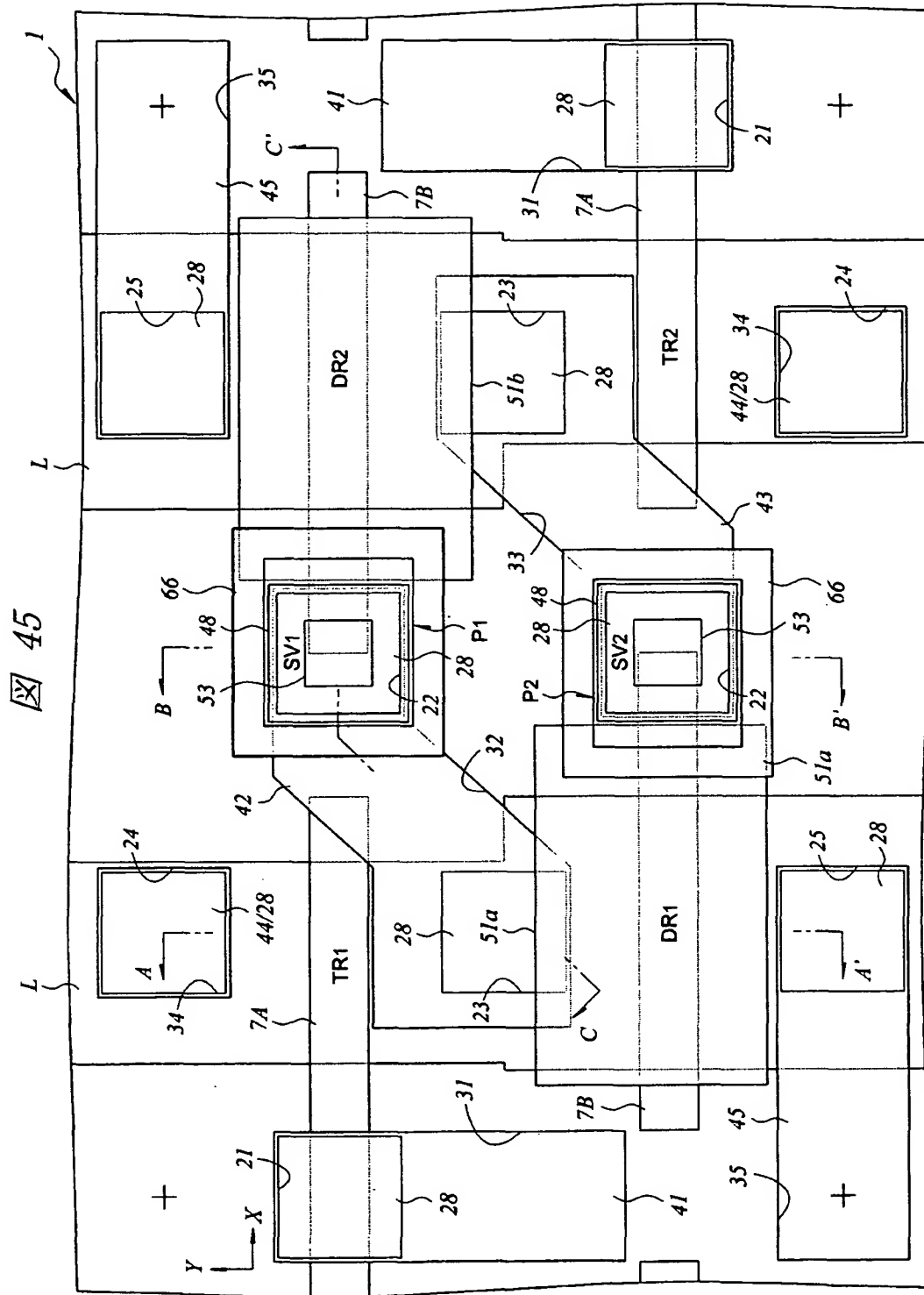
【图 4 3】



【図 4 4】

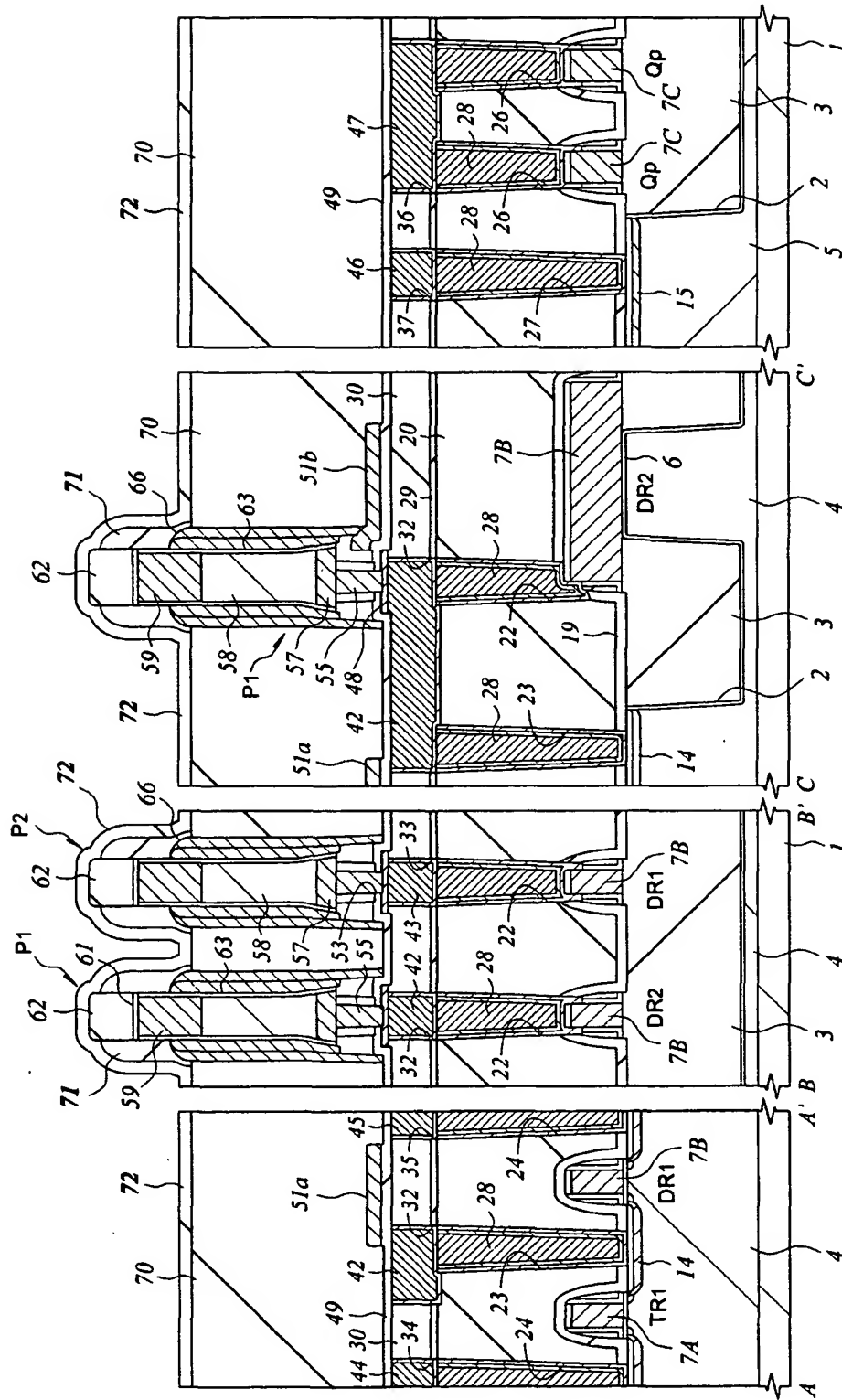


【図 45】



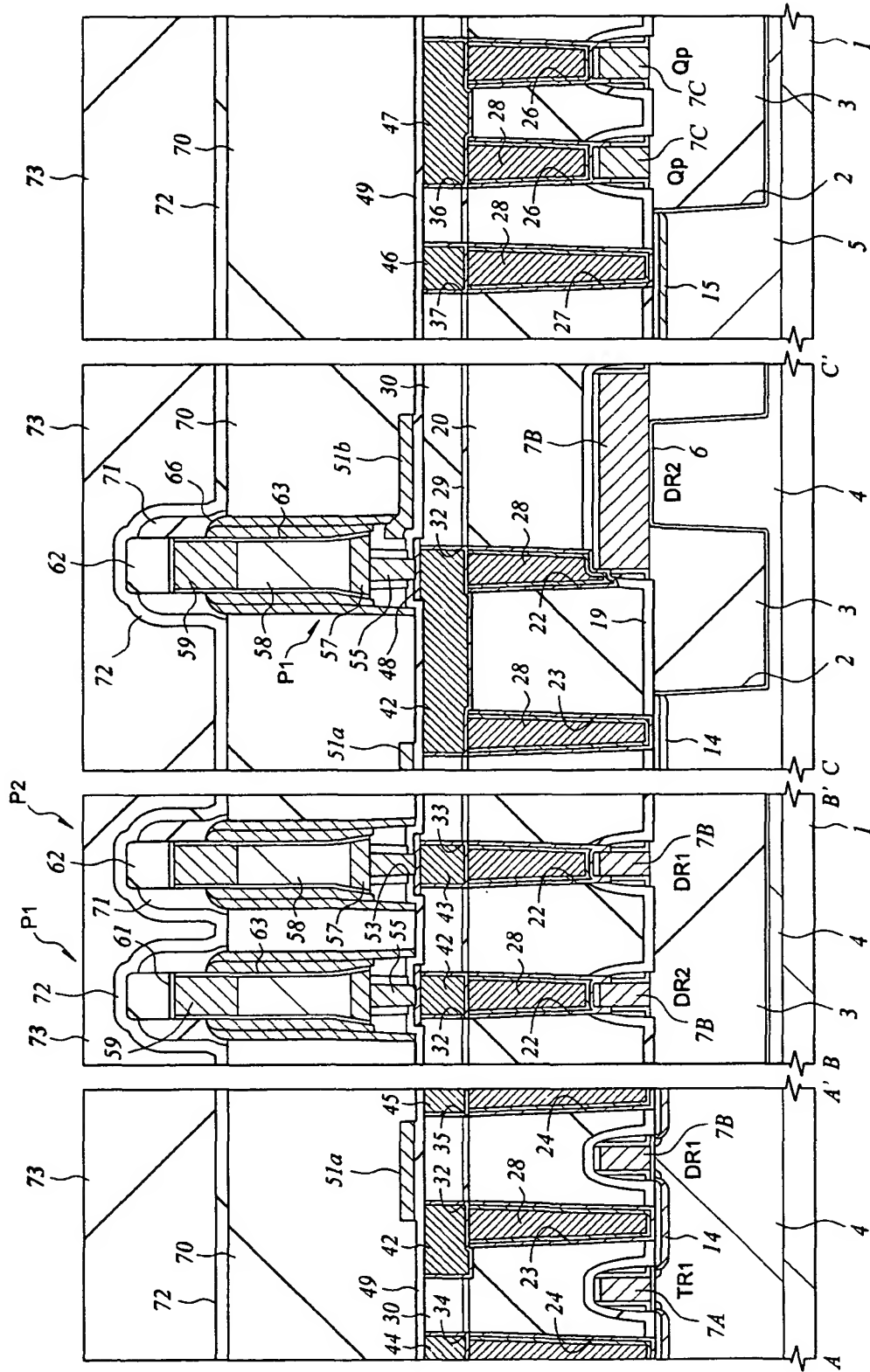
【図 46】

46

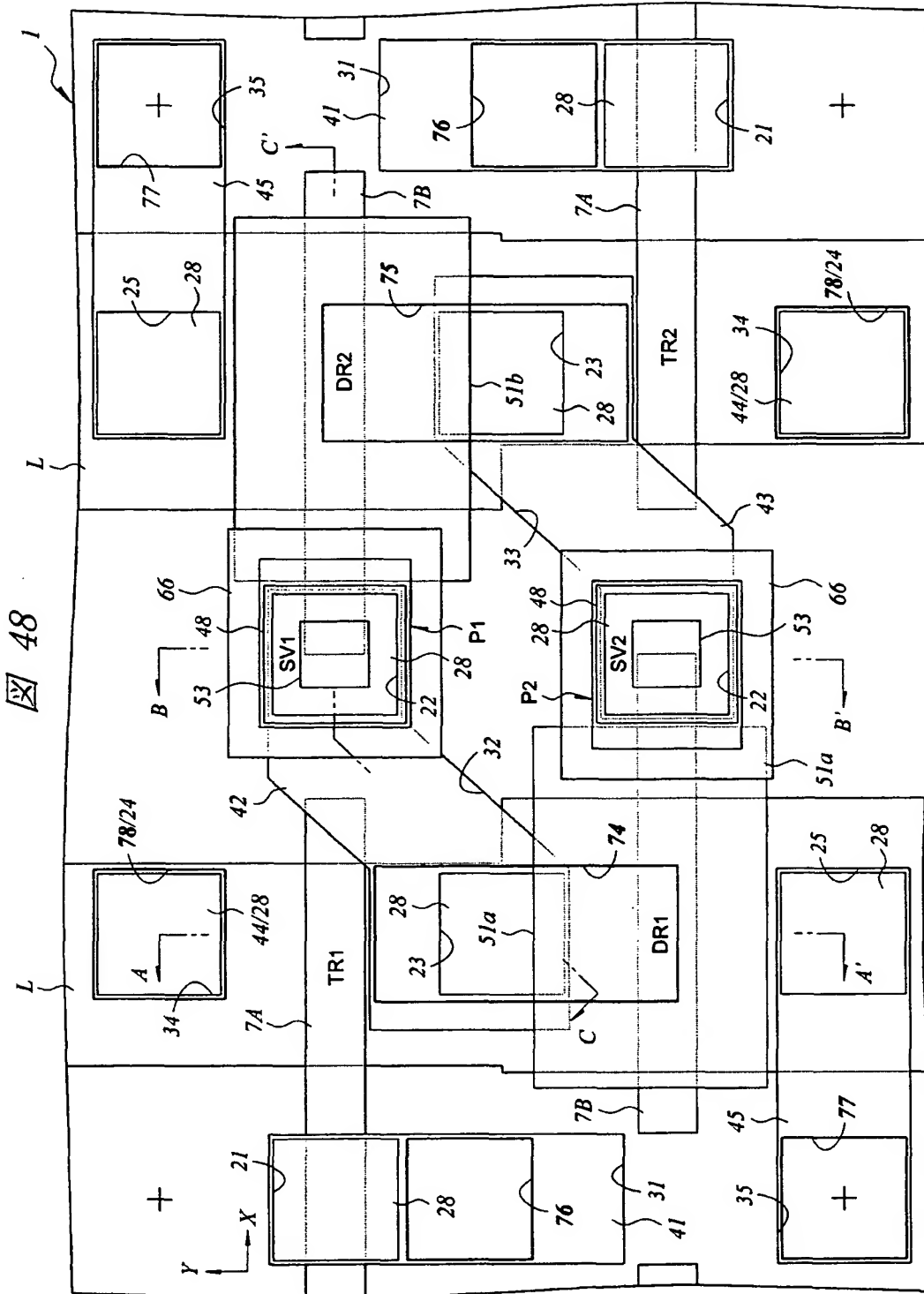


【図47】

図 47

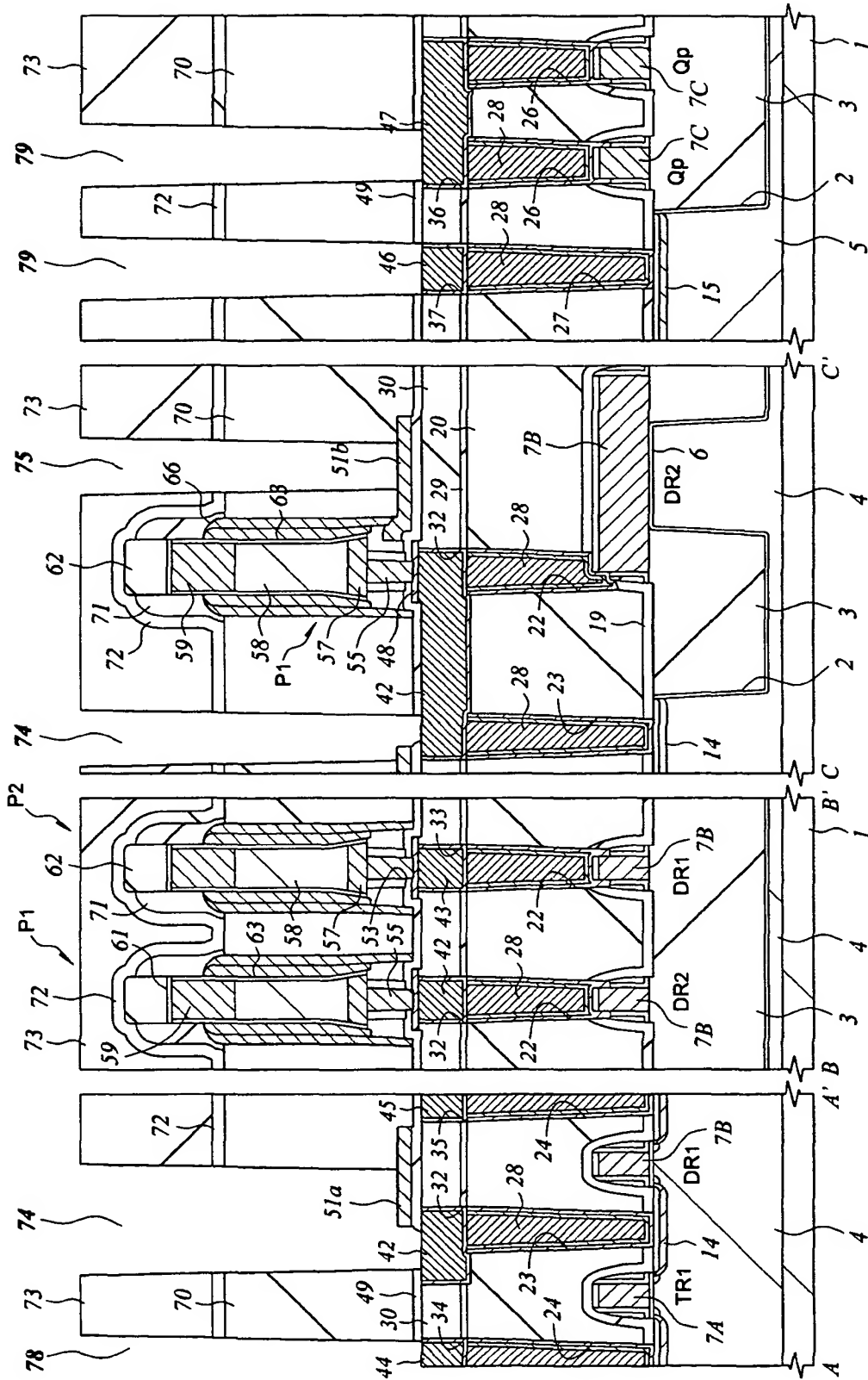


【図 48】



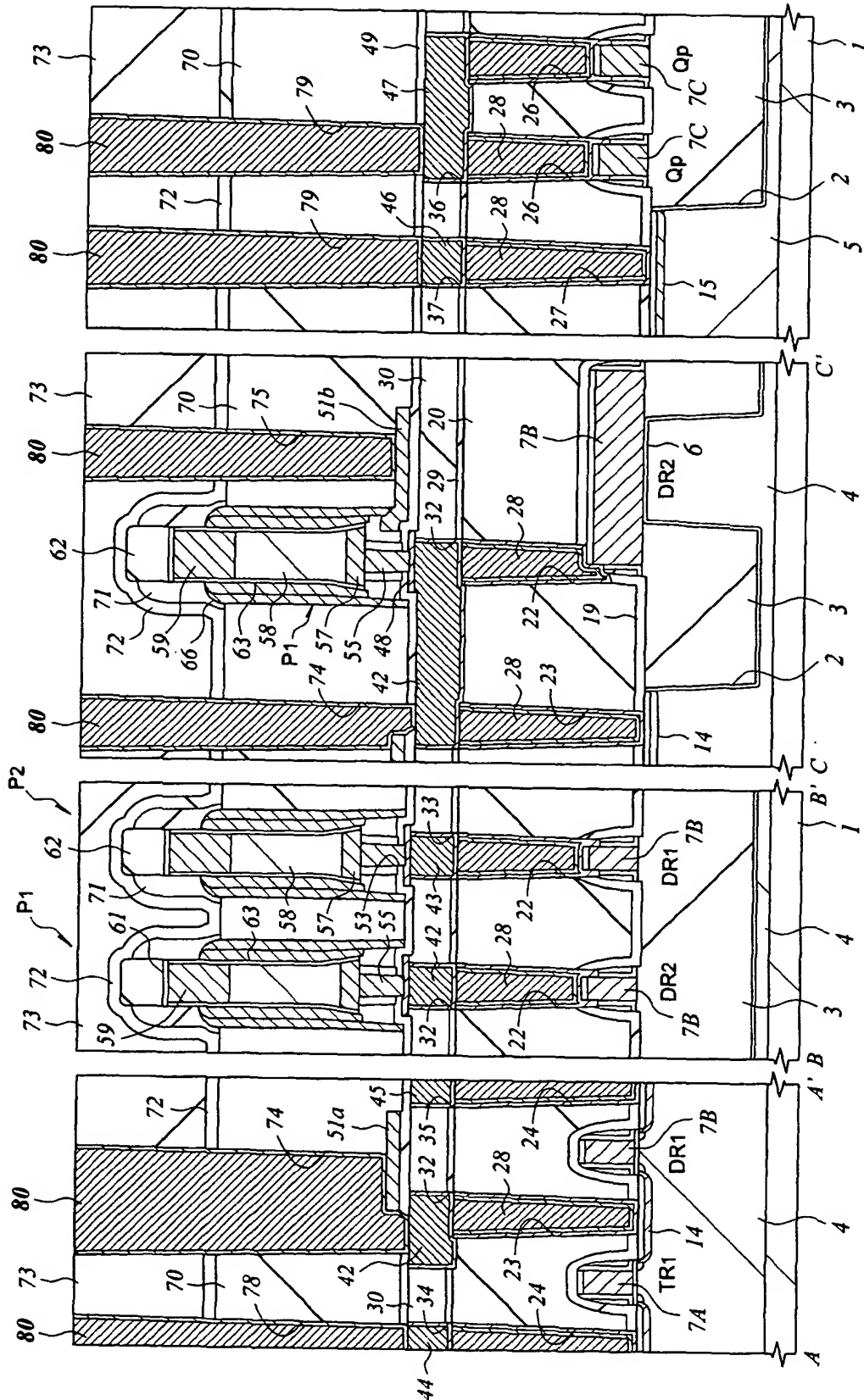
【図49】

図 49

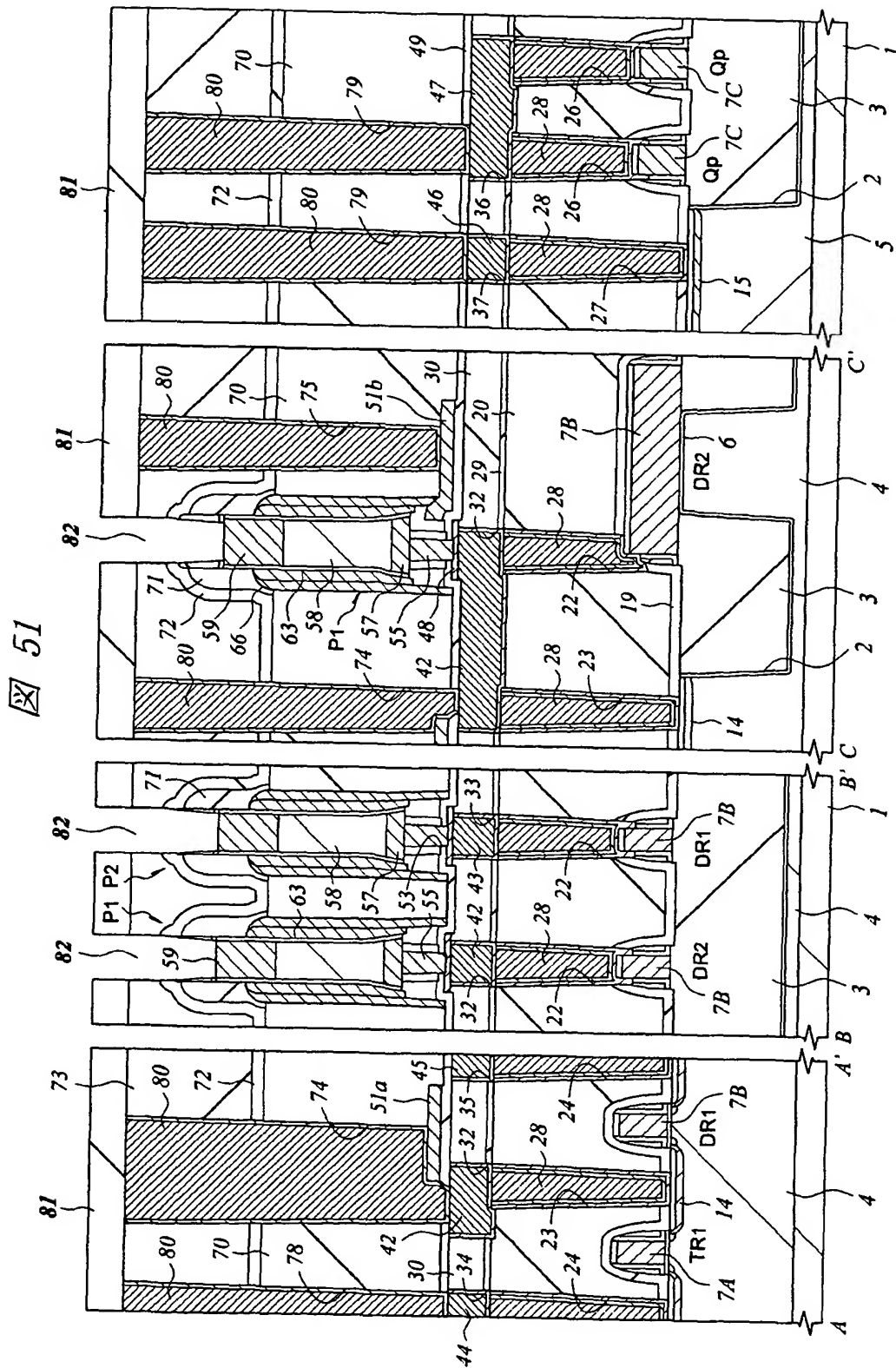


【図 50】

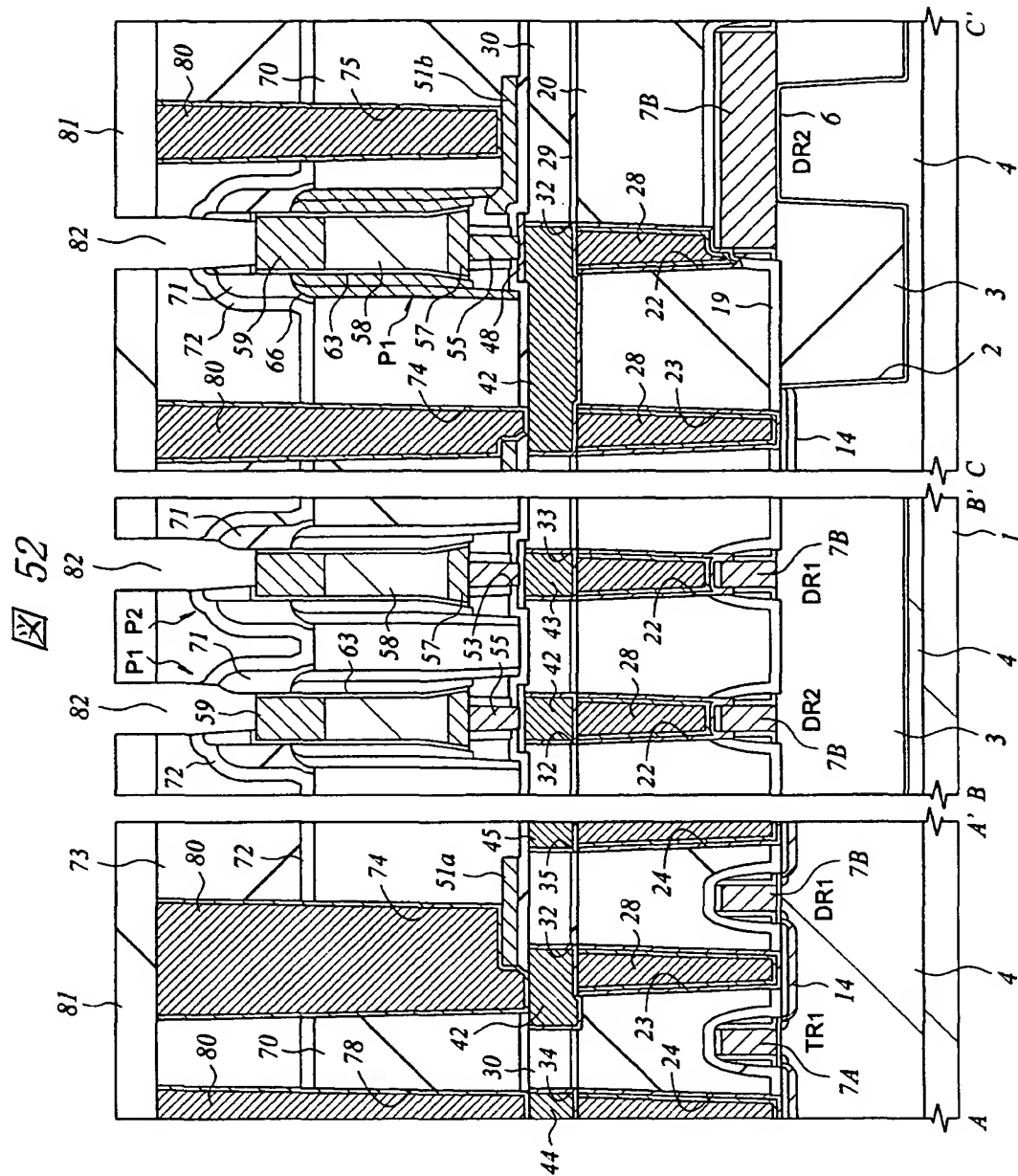
図 50



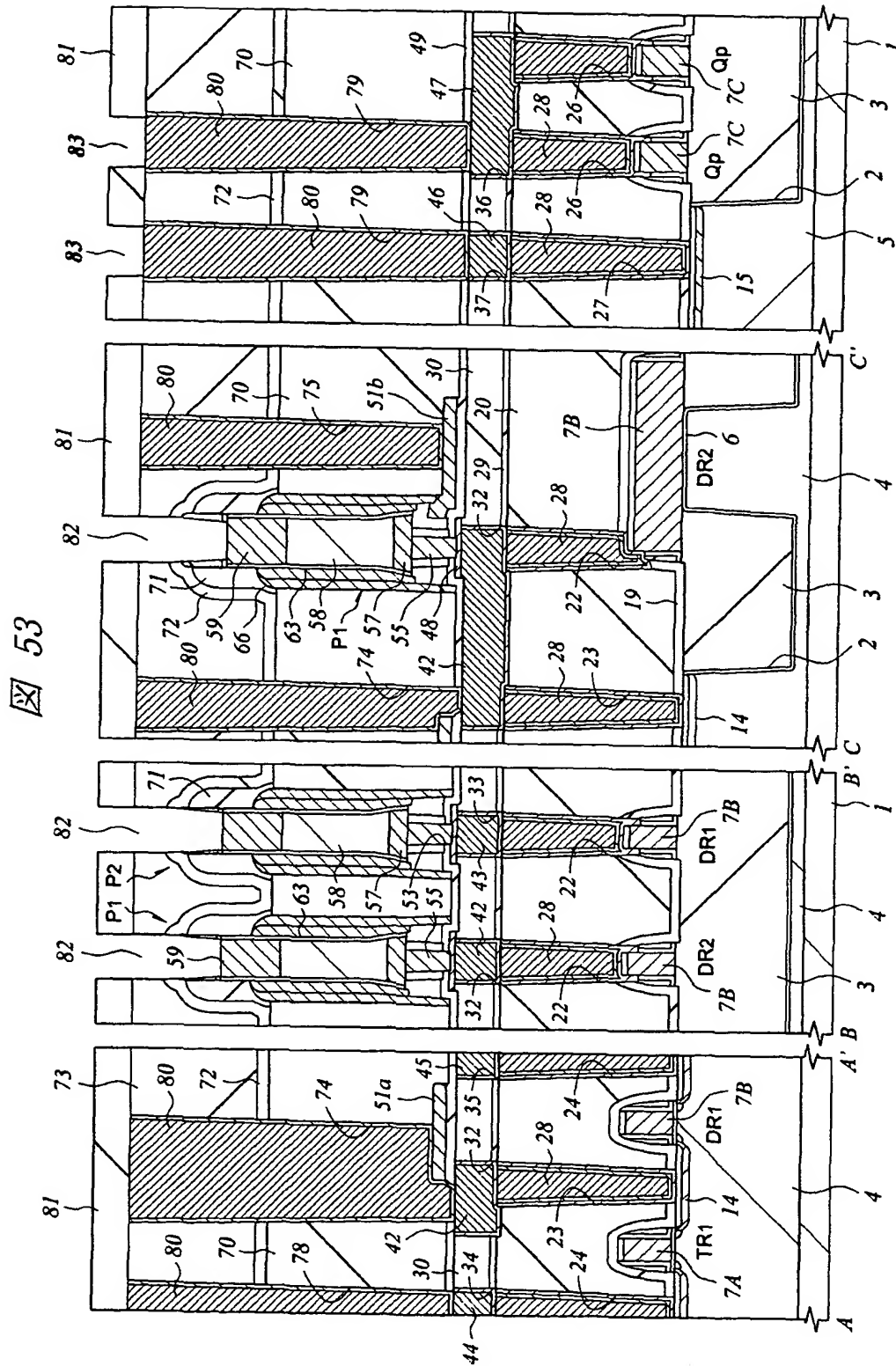
【図 51】



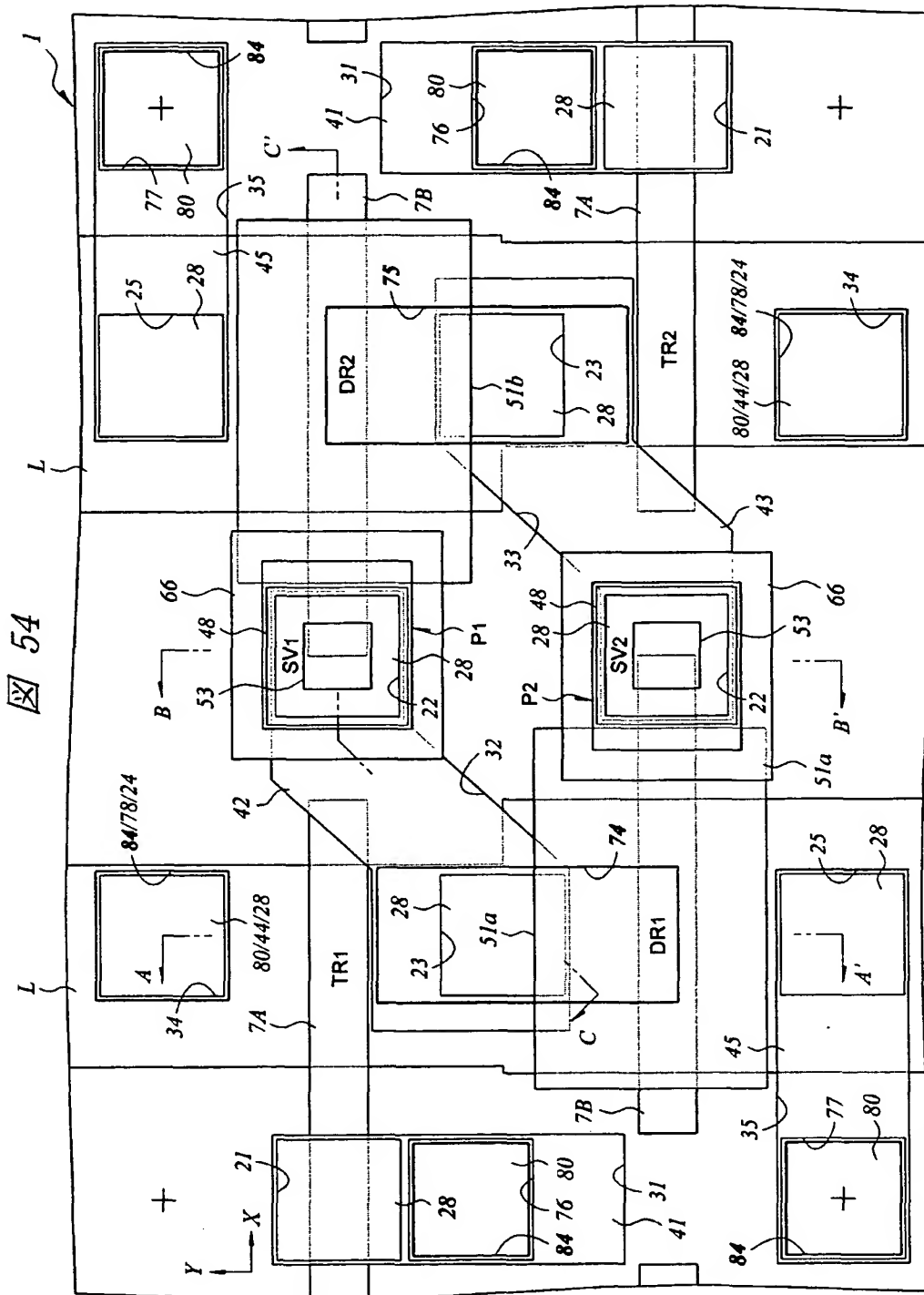
【図 5 2】



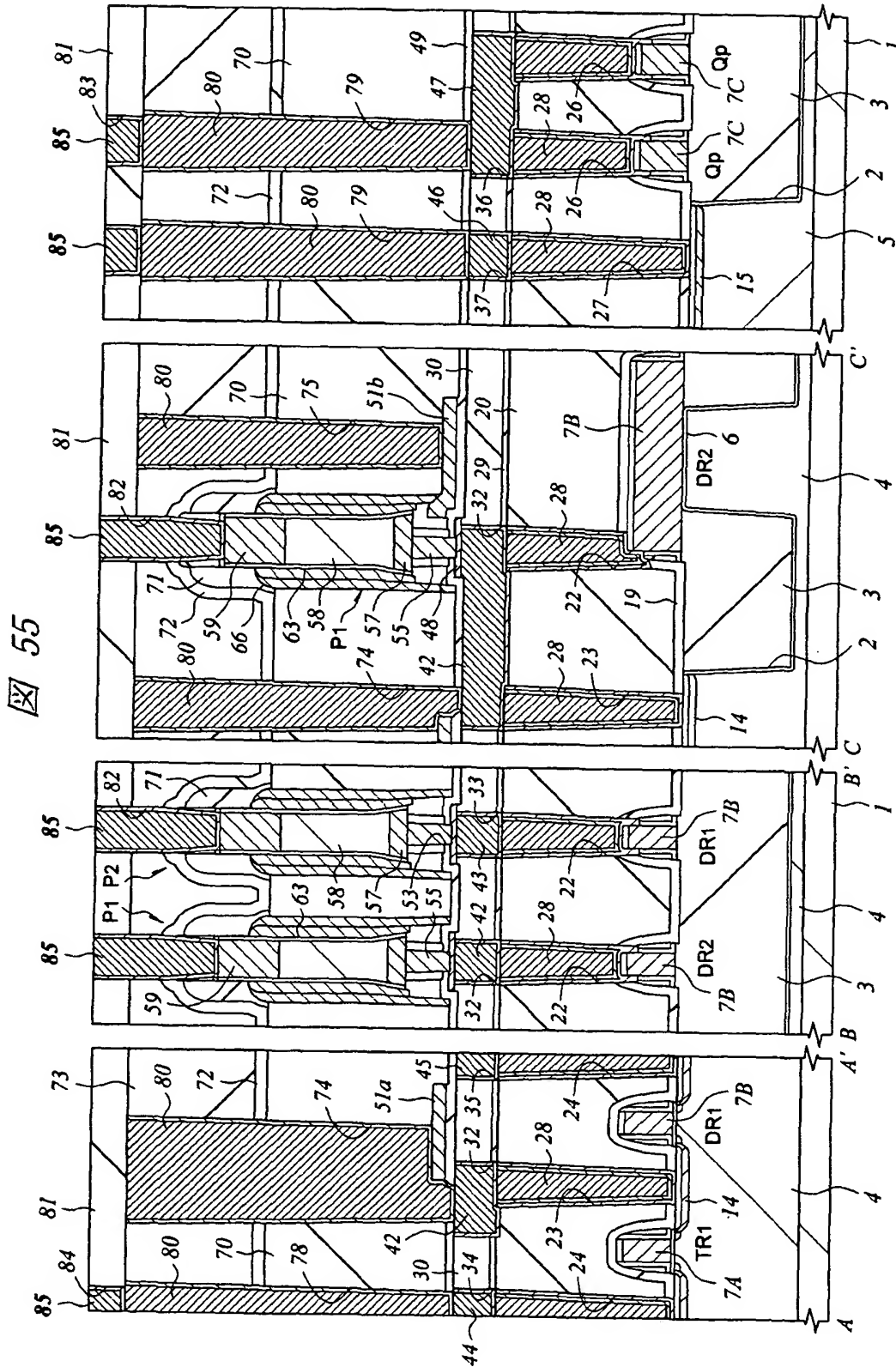
【図53】



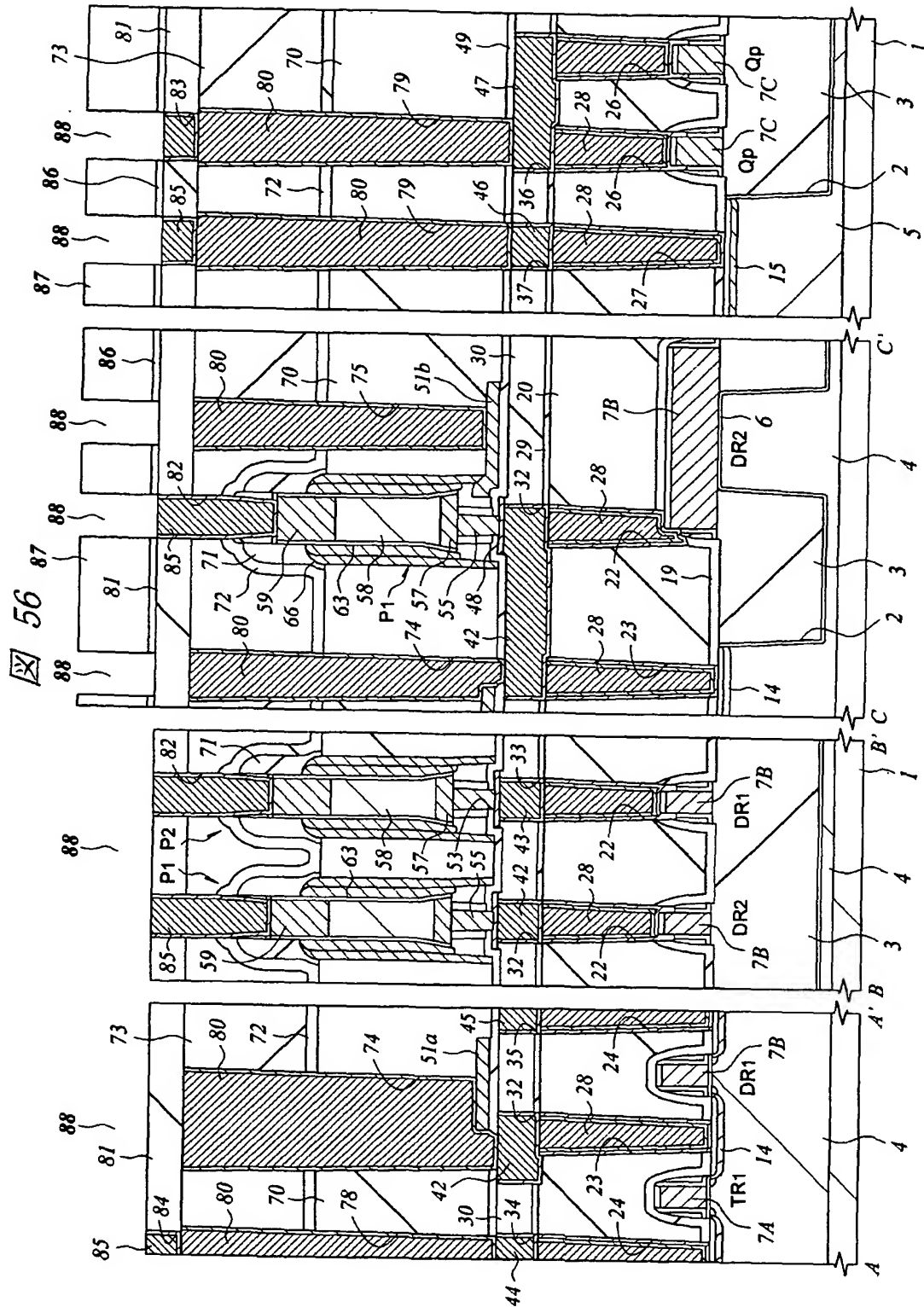
【図54】



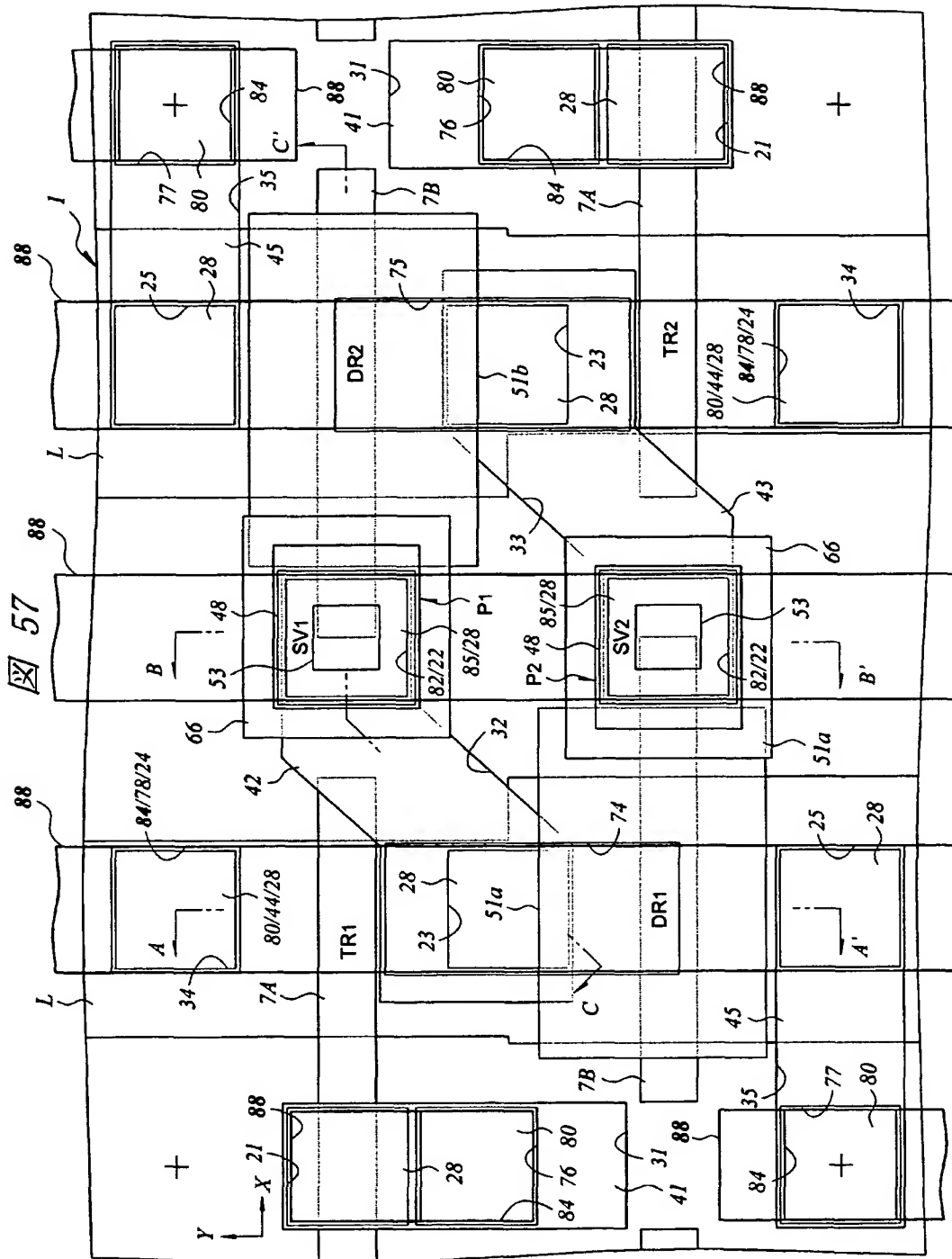
【図 55】



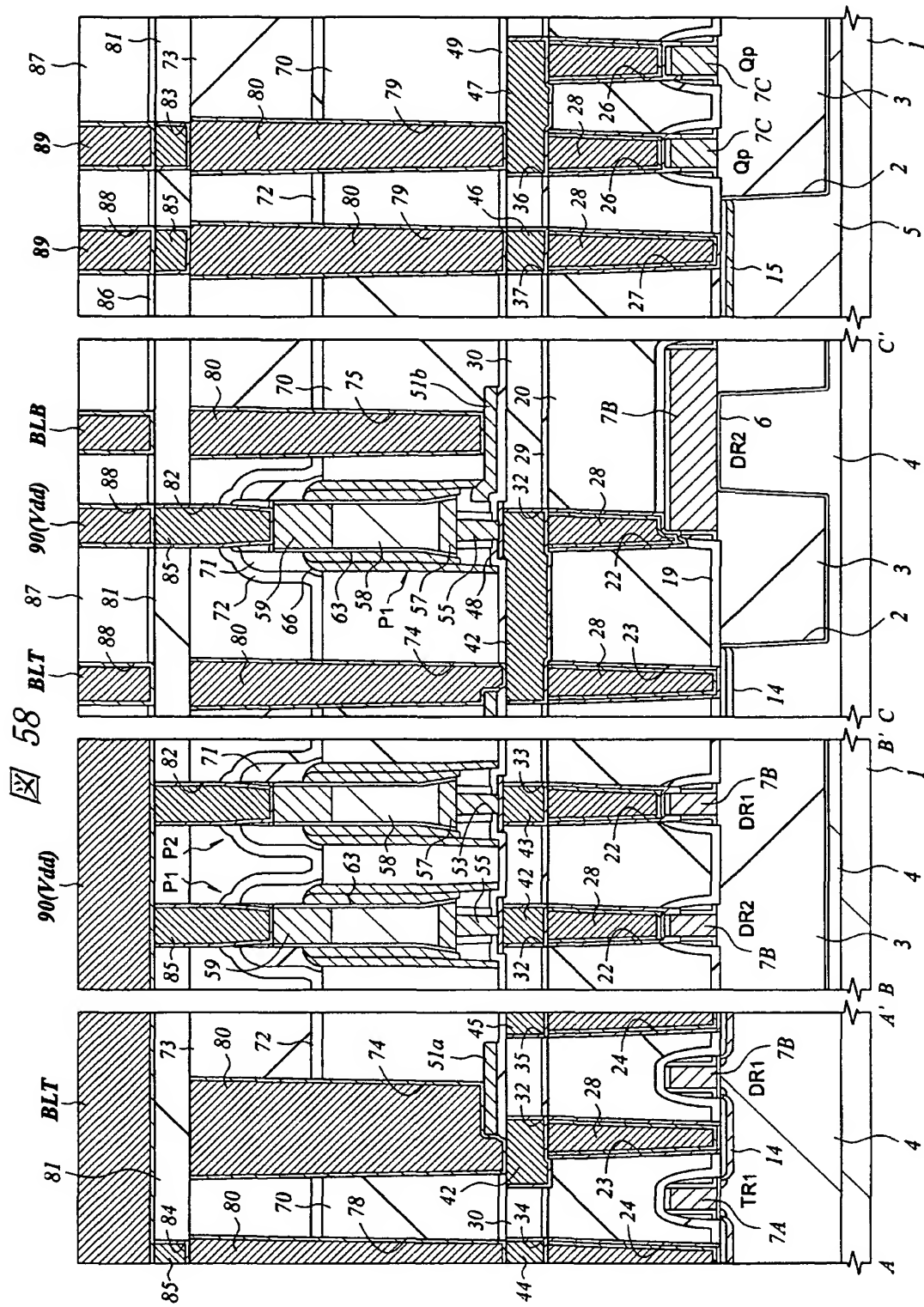
【図 56】



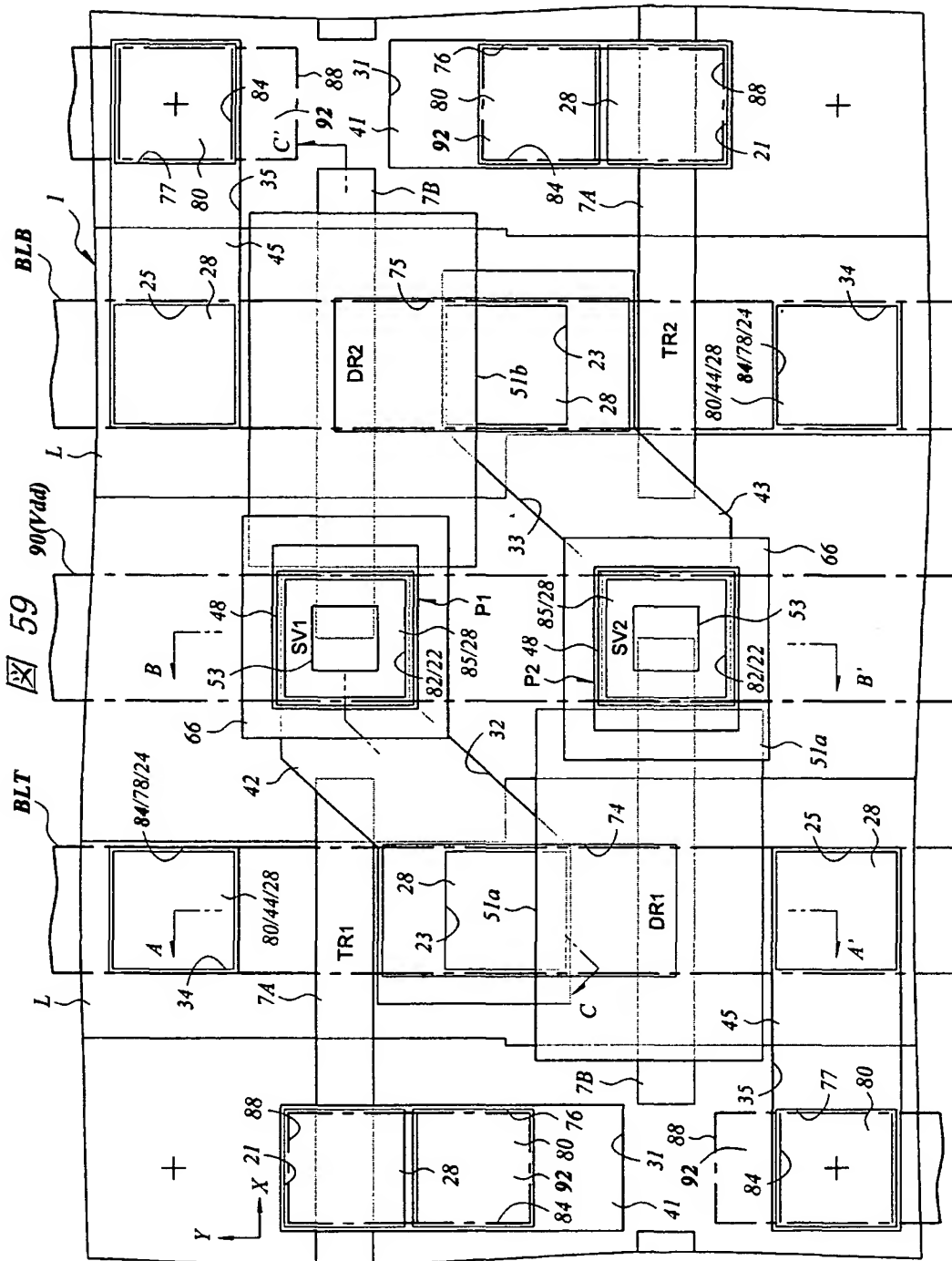
【図57】



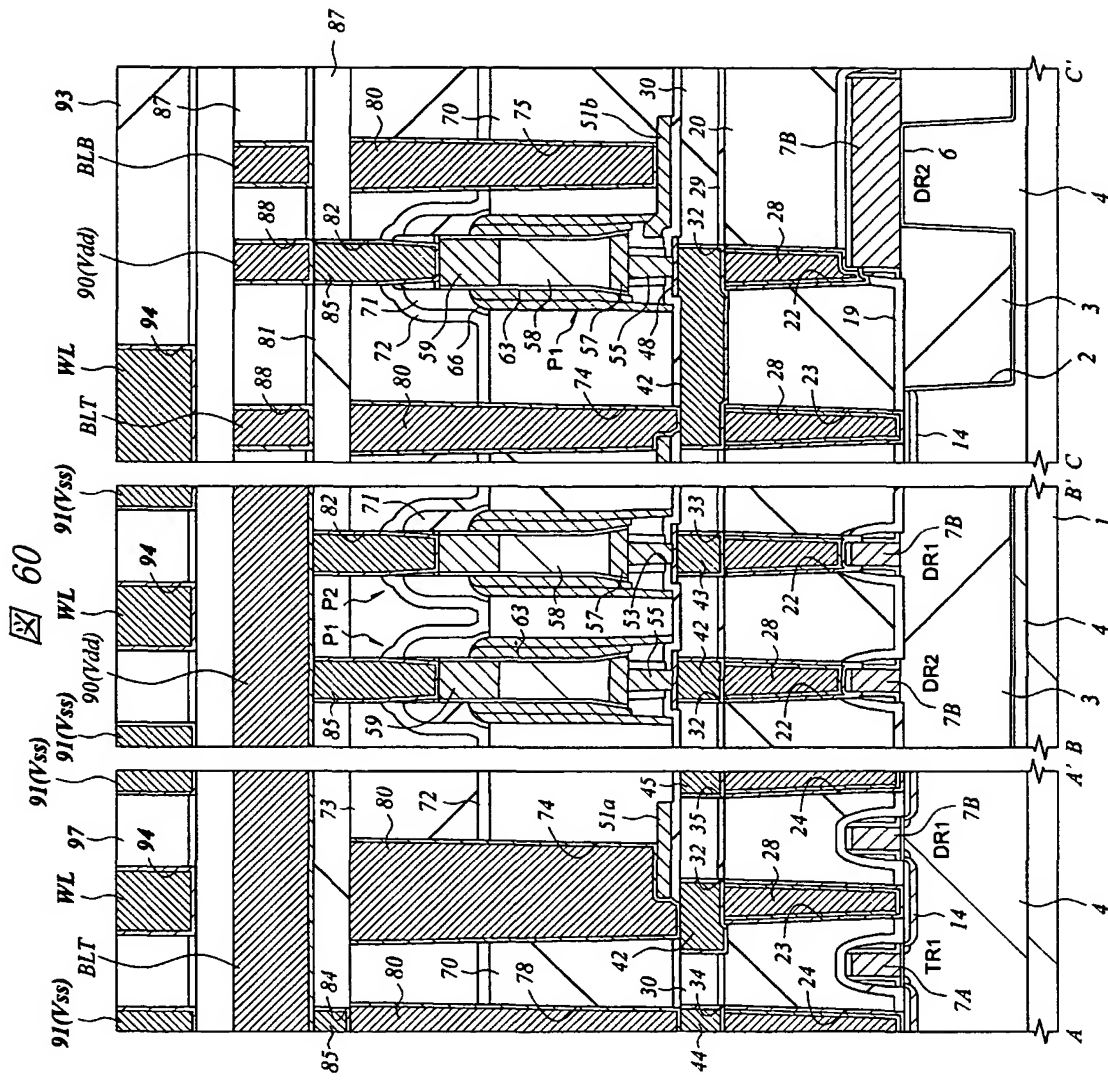
【図 58】



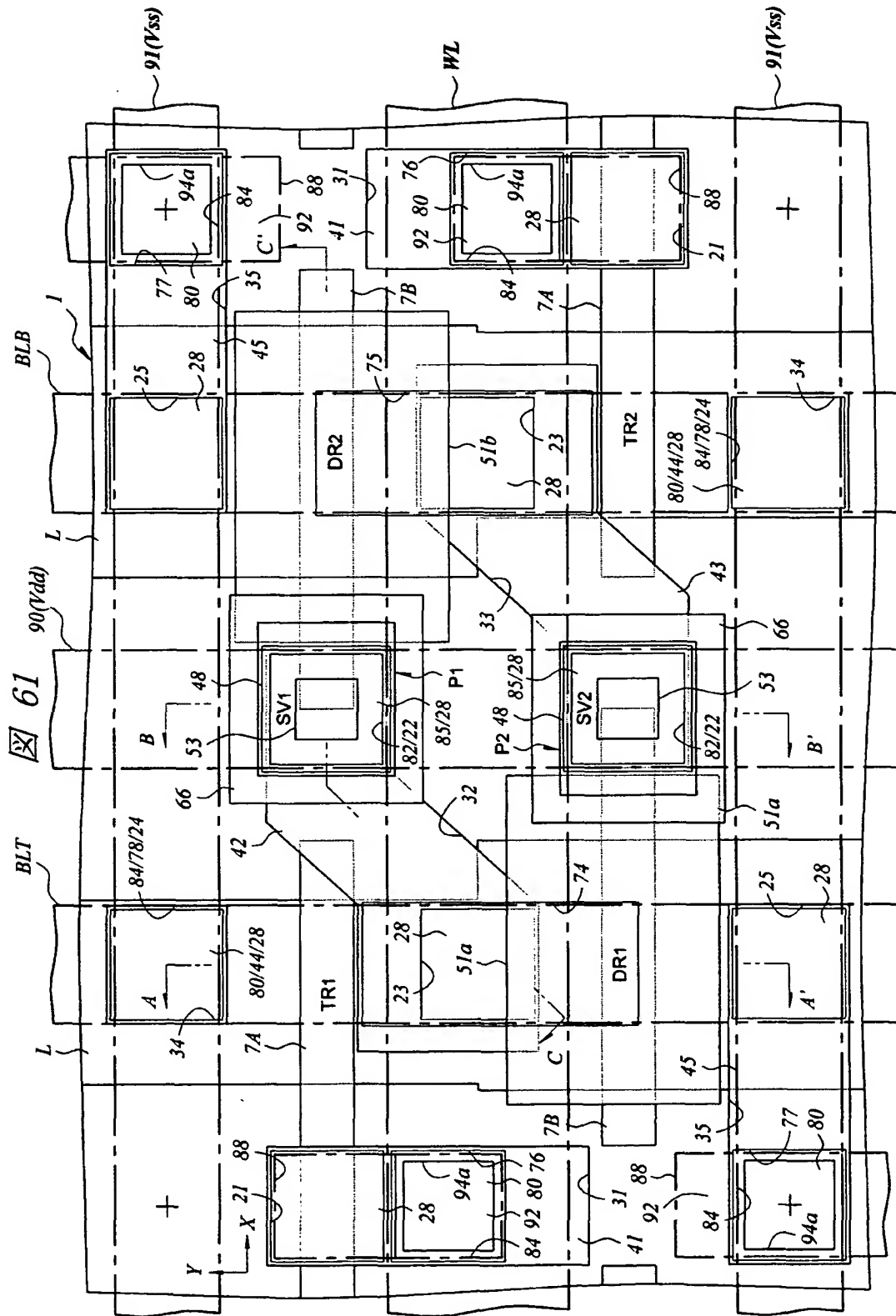
【図59】



【図60】

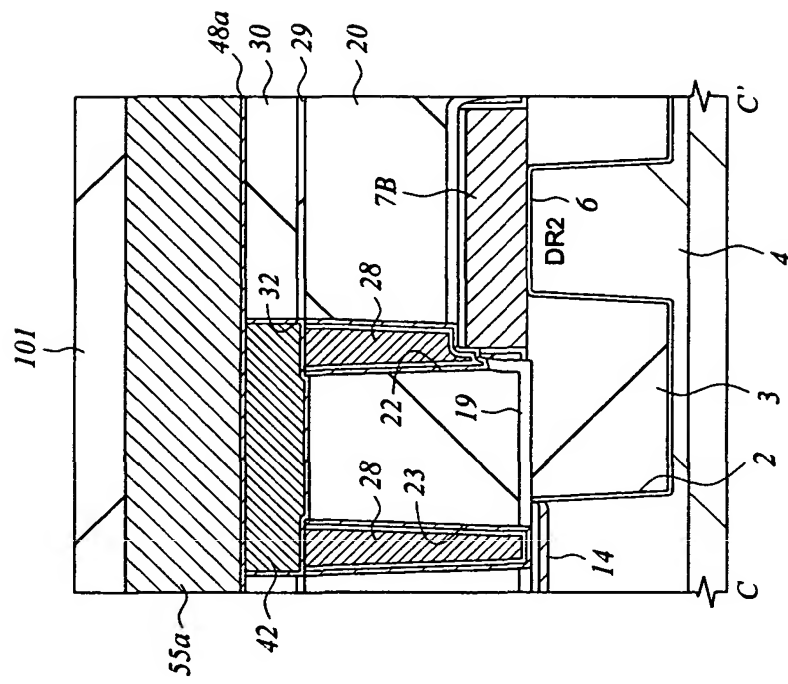


【図61】



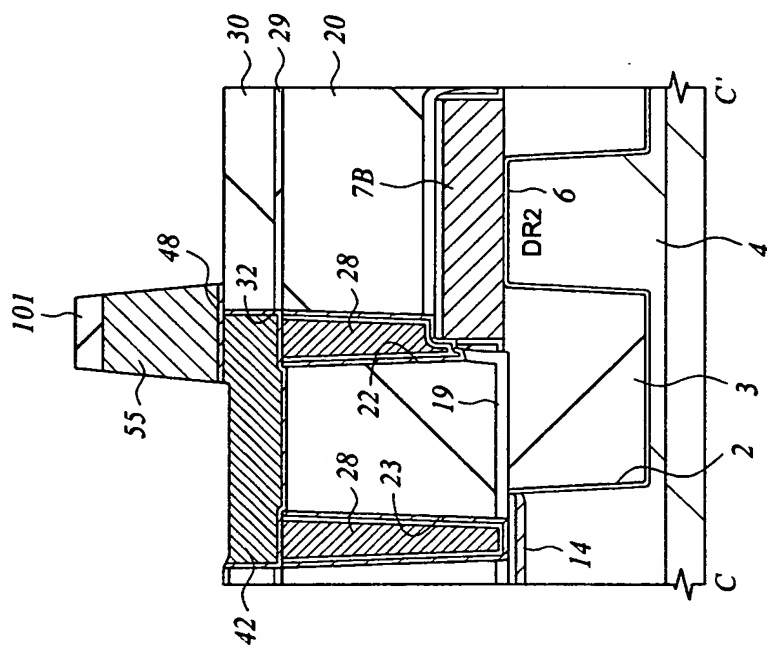
【図 6 2】

図 62



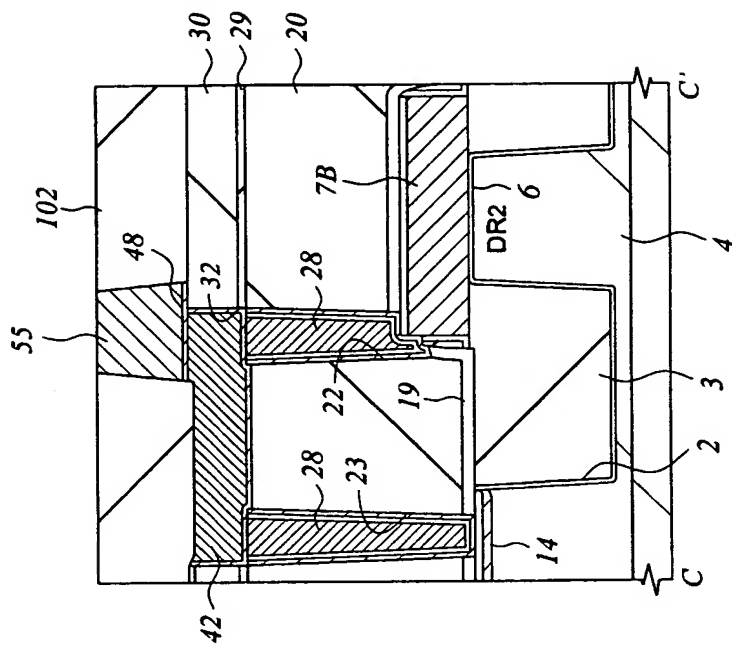
【図 6 3】

図 63

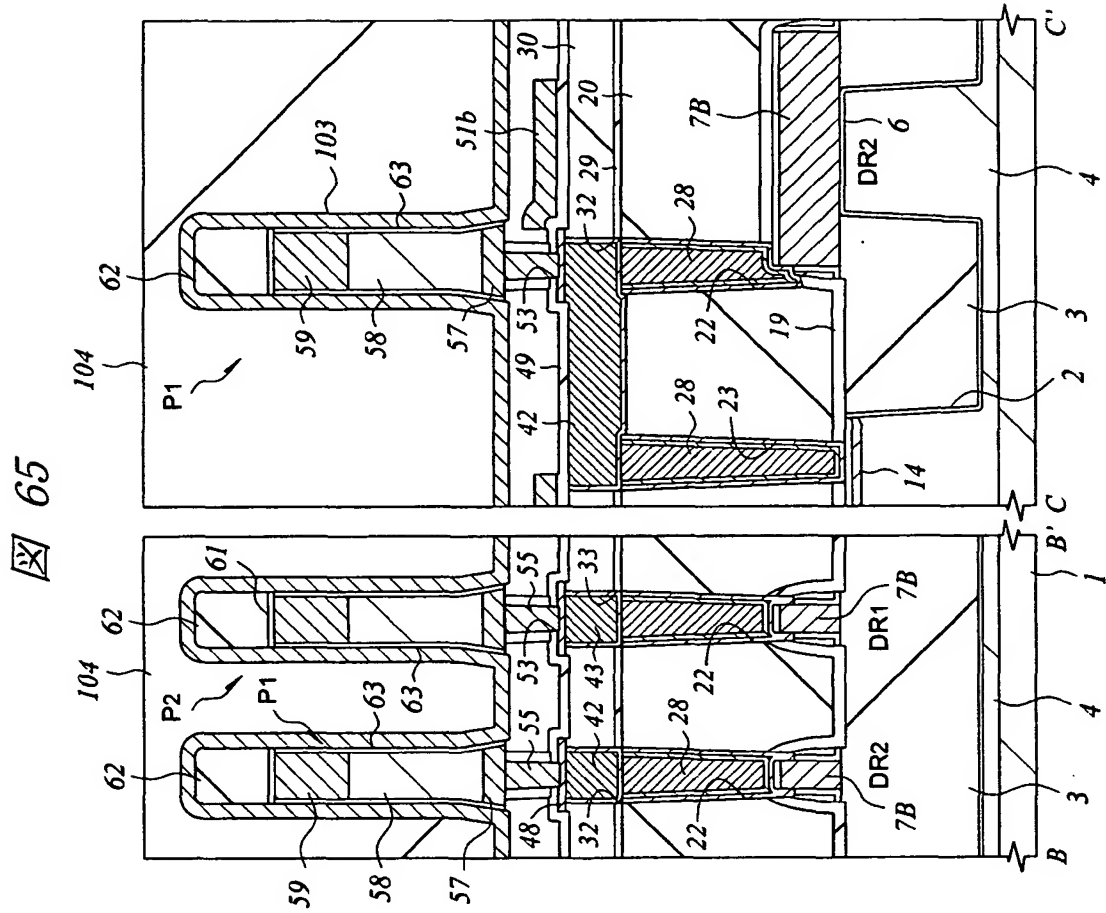


【図 64】

図 64

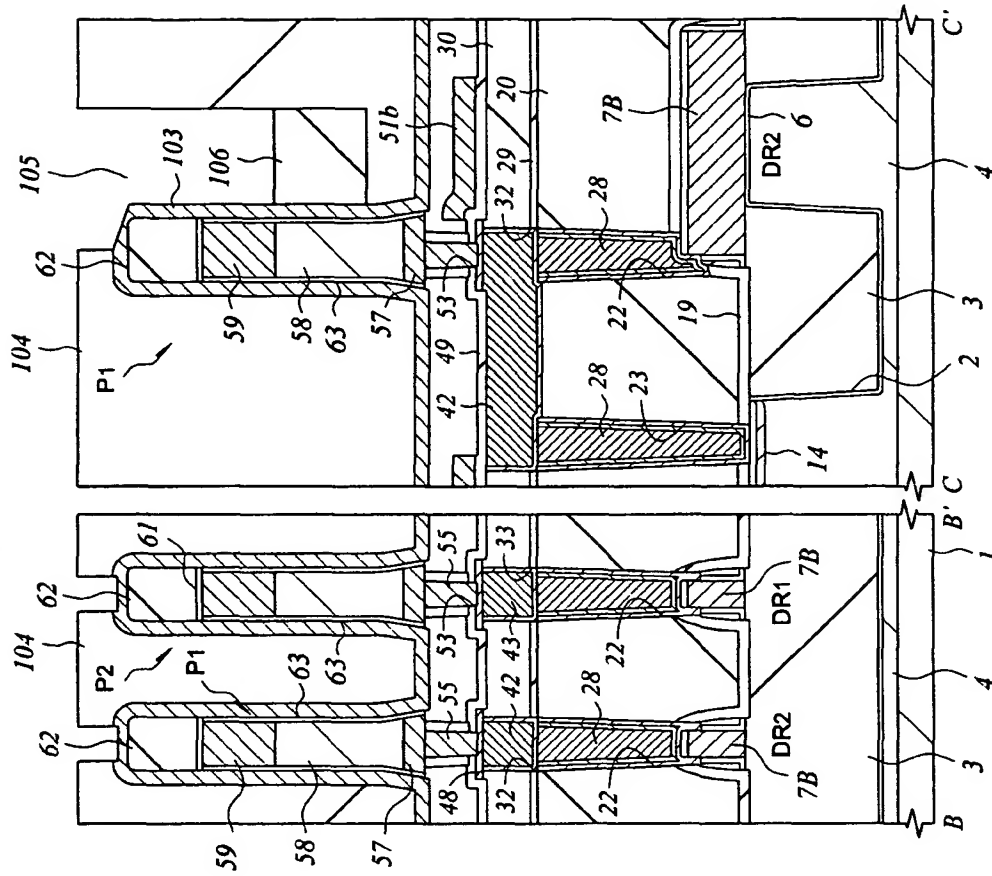


【図 65】



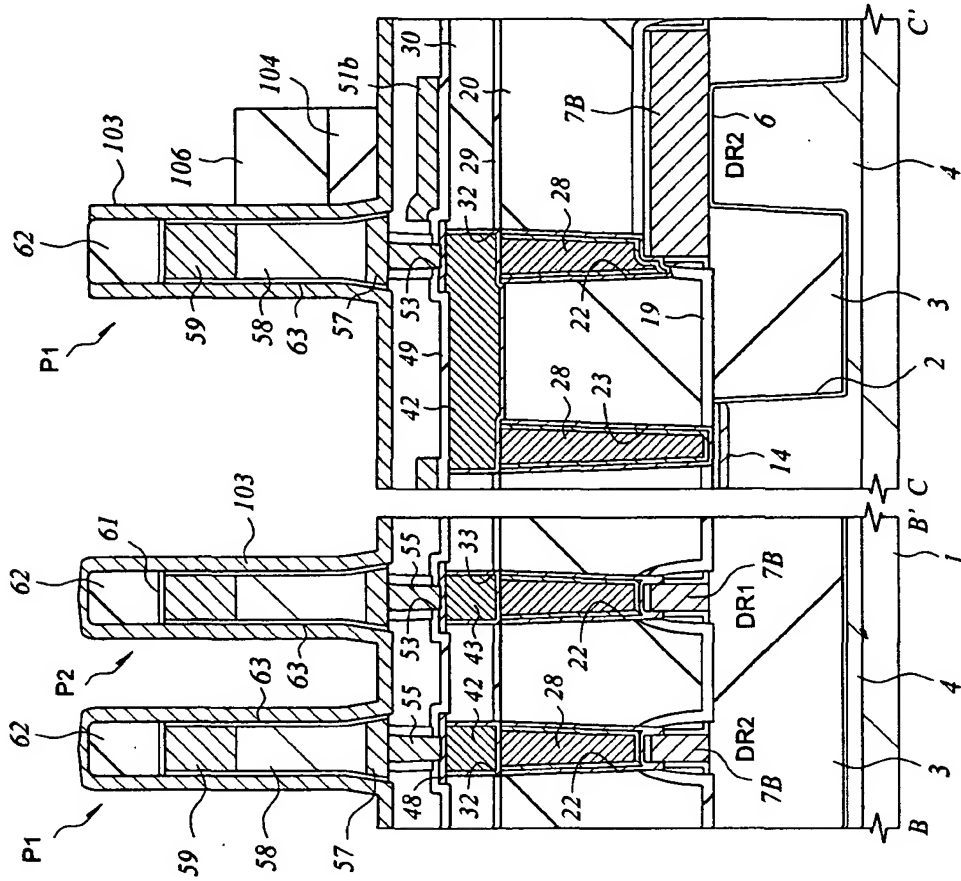
【図66】

66



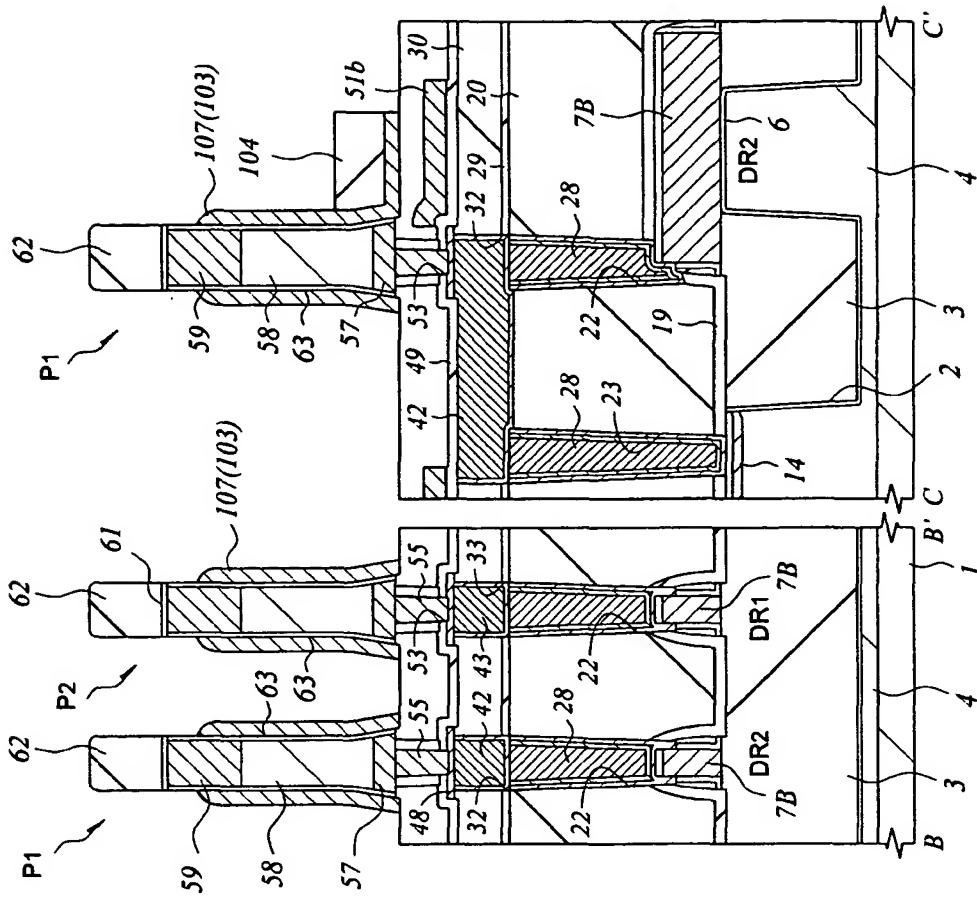
【図67】

図 67



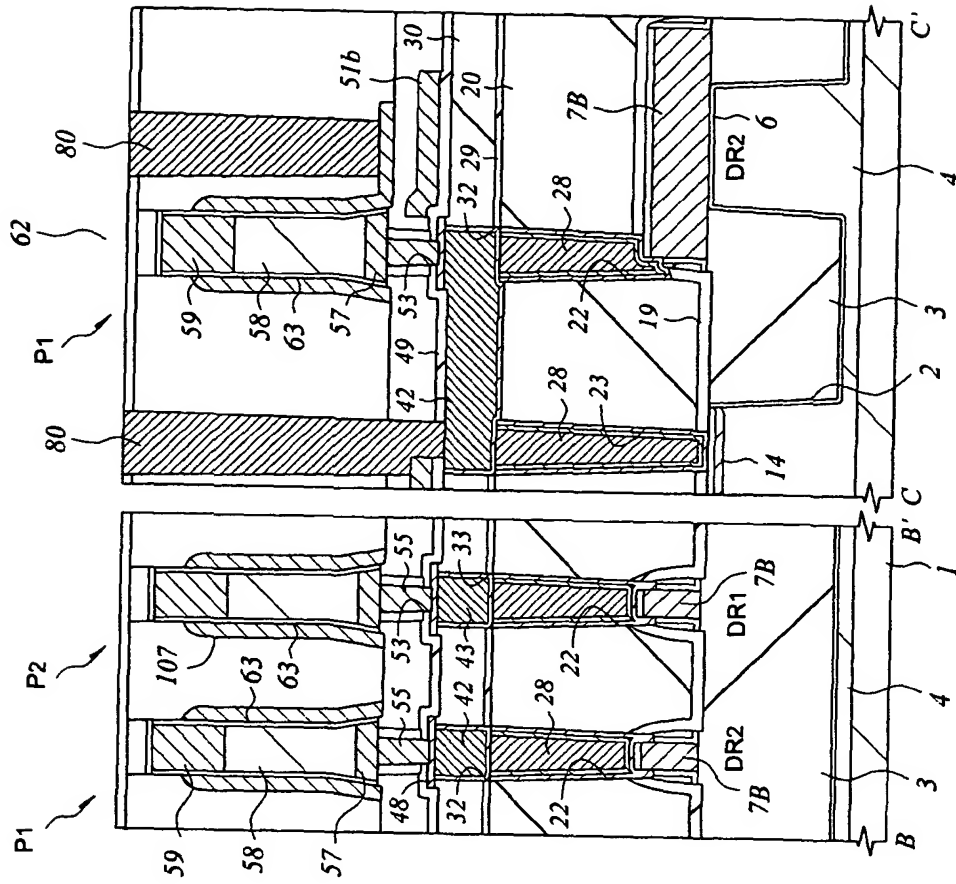
【図68】

図 68

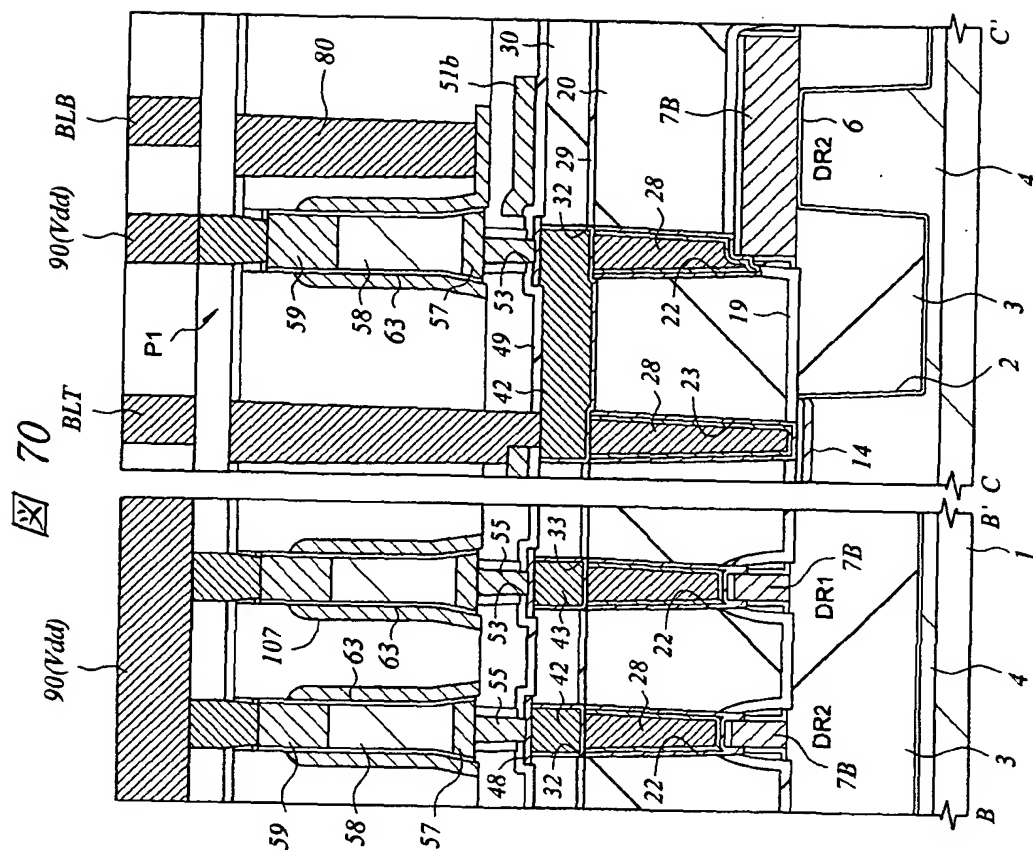


【図 69】

図 69

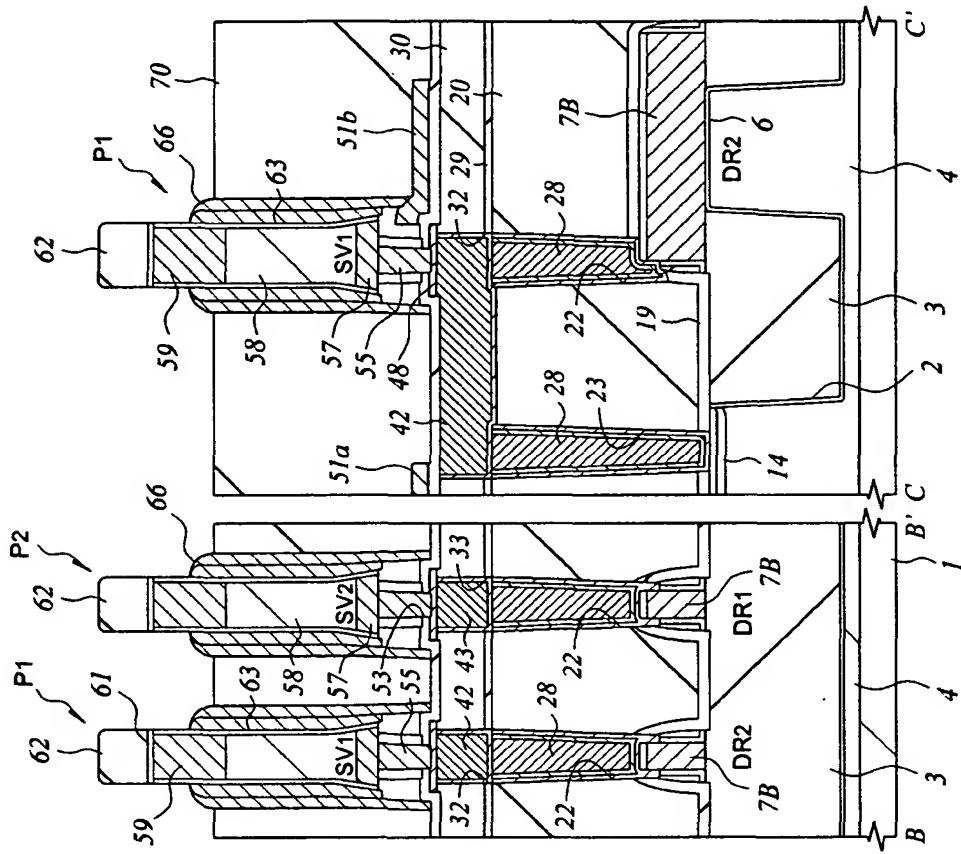


【图 70】



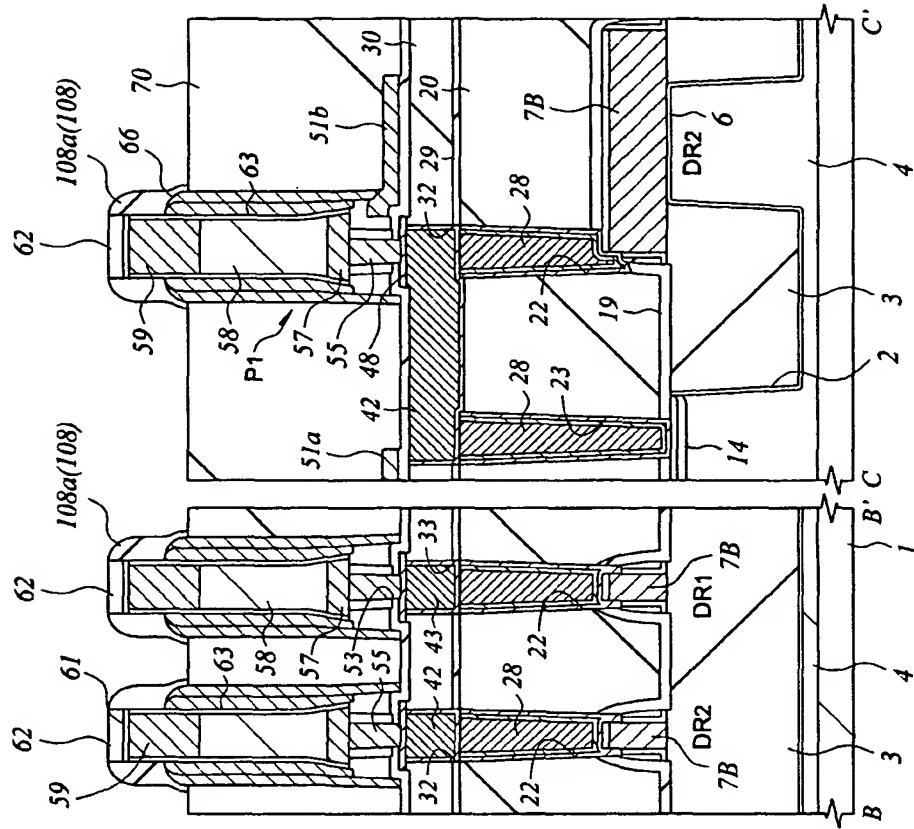
【図71】

図 71



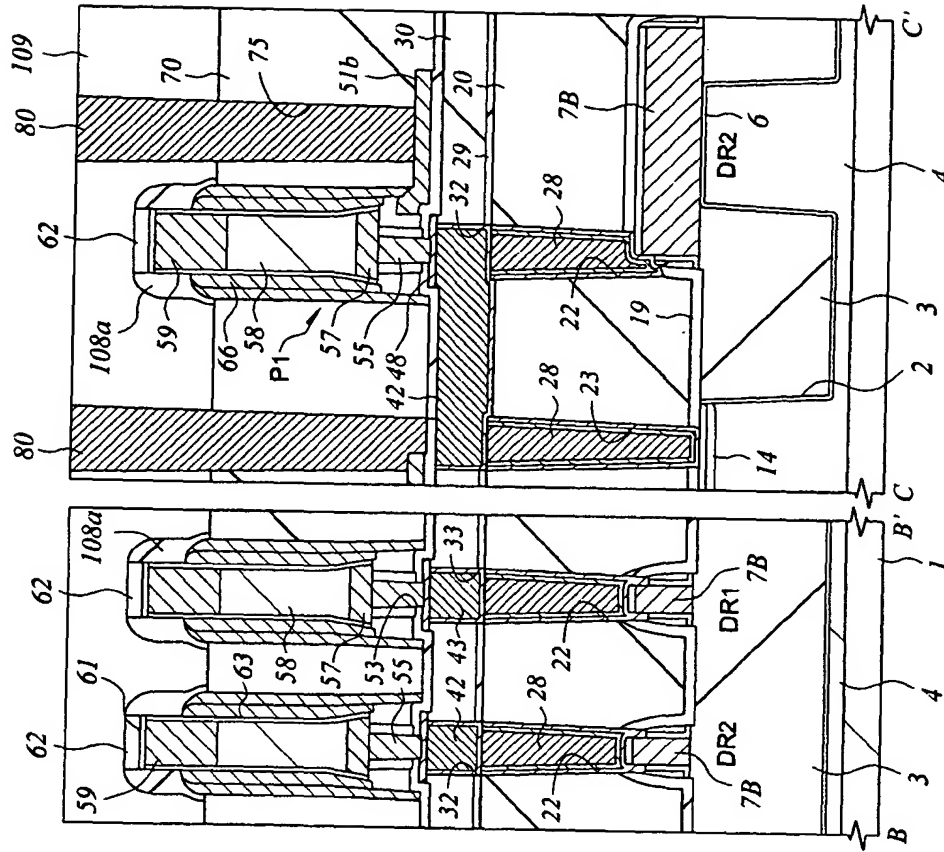
【図72】

72

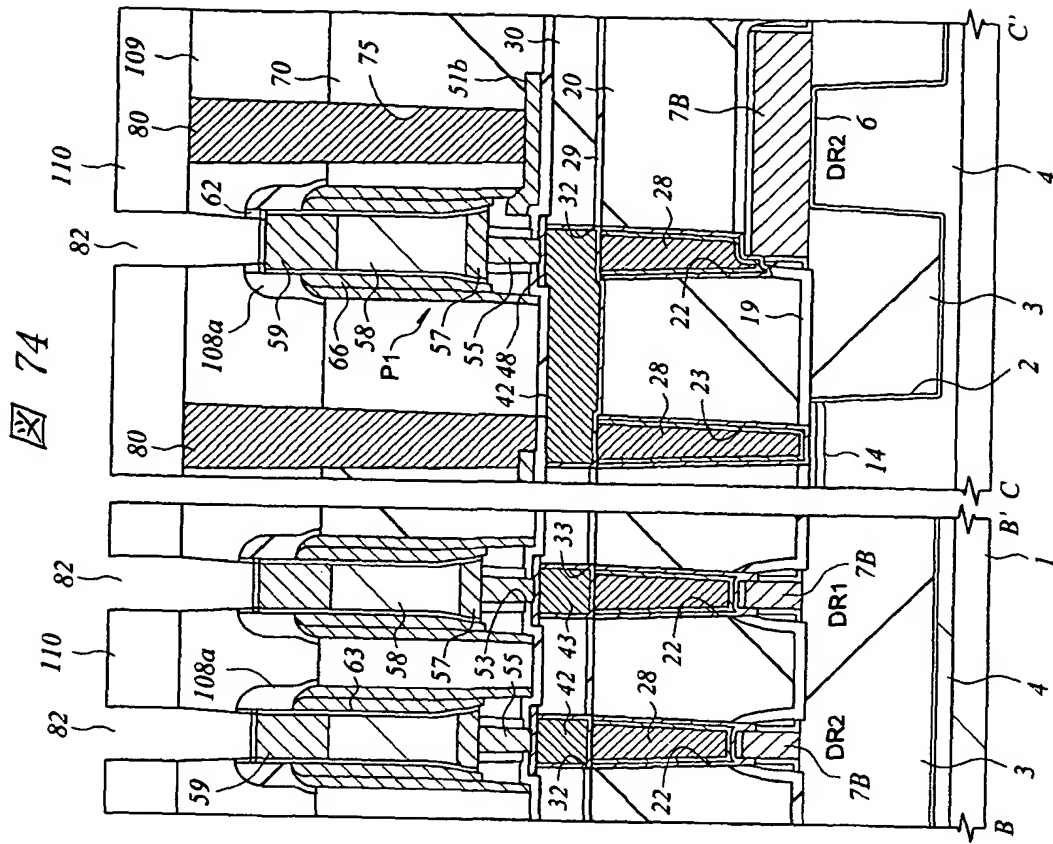


【図 73】

図 73

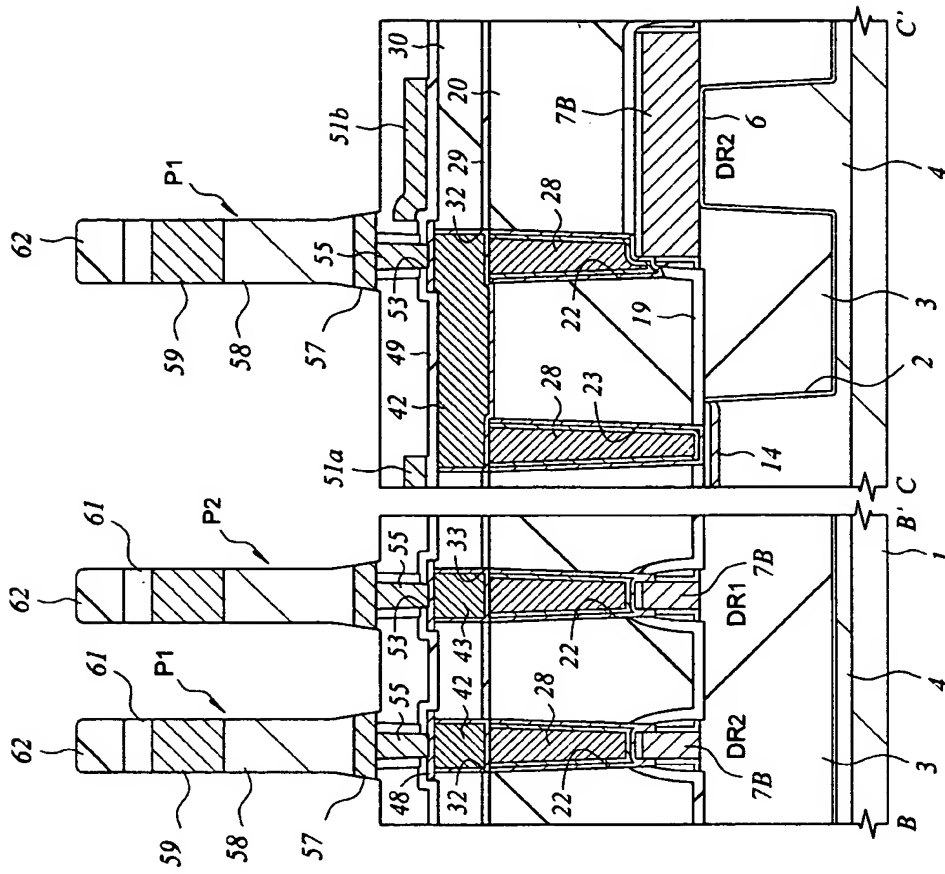


【图 7 4】



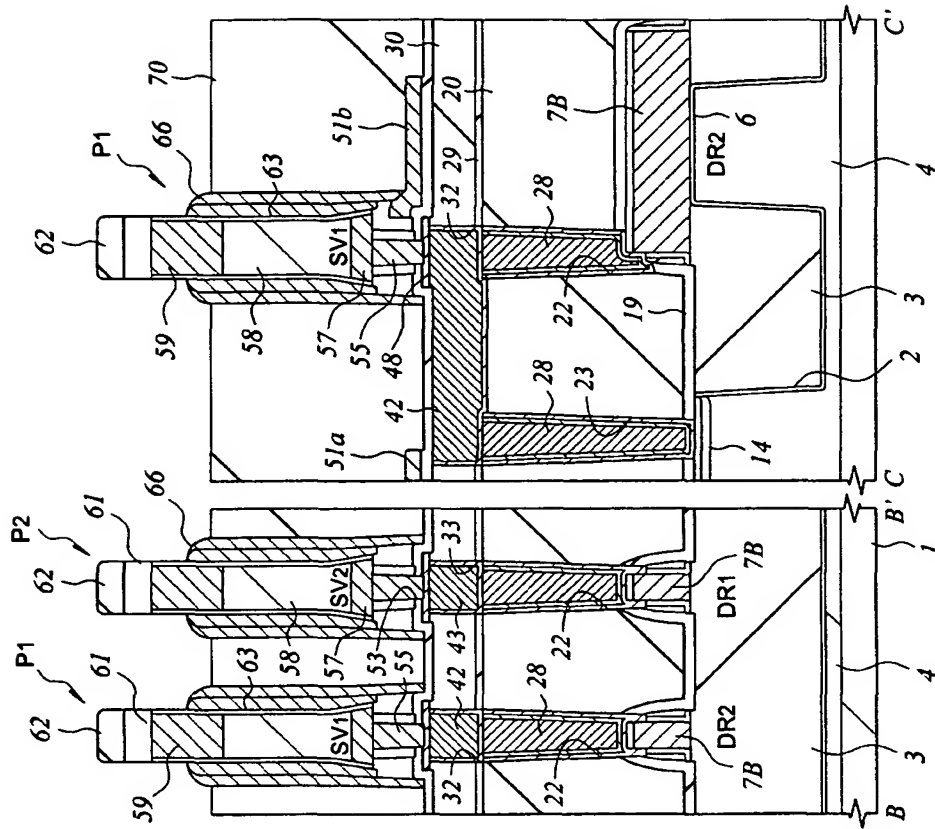
【図 75】

図 75



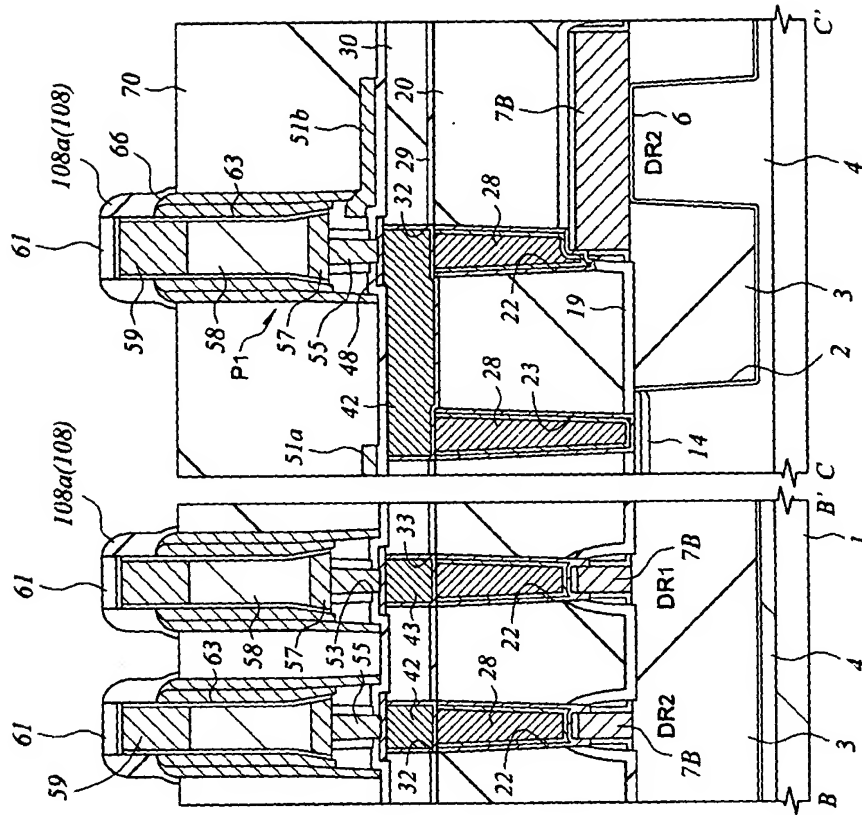
【図76】

図 76



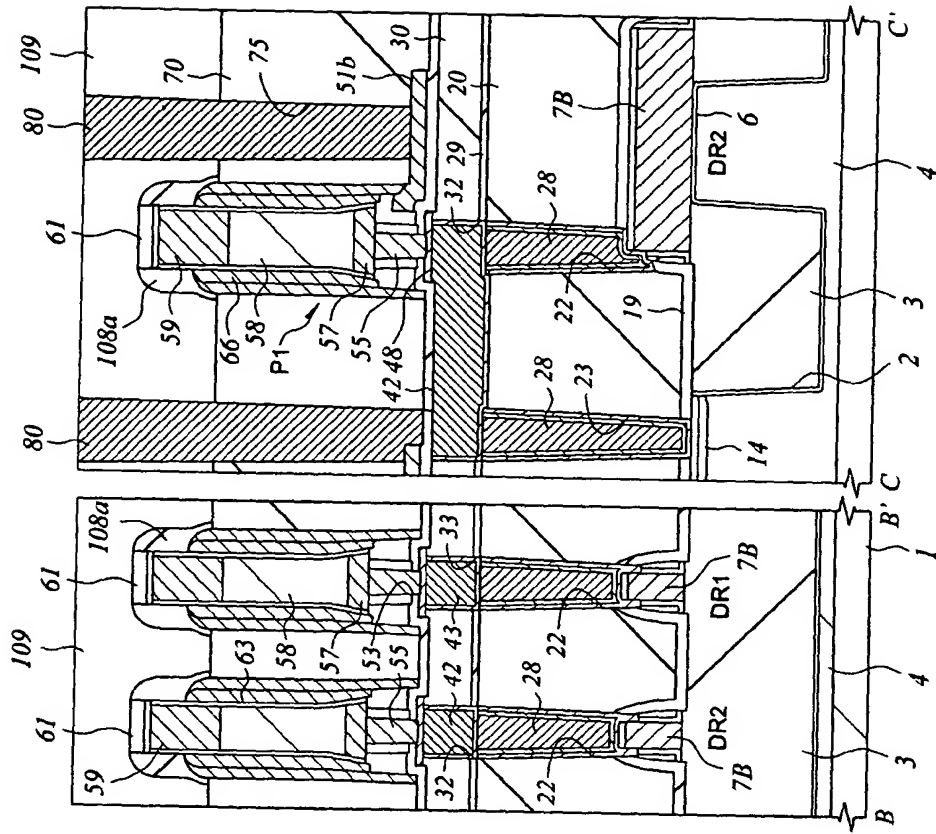
【図77】

77

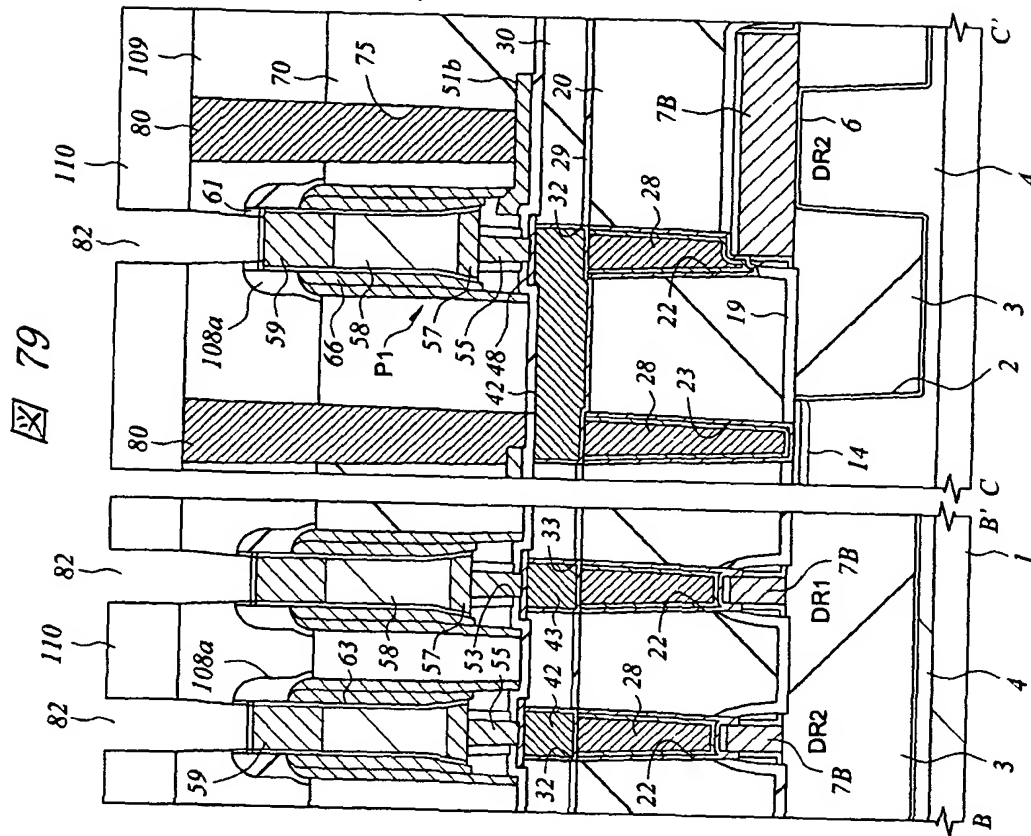


【図 78】

図 78

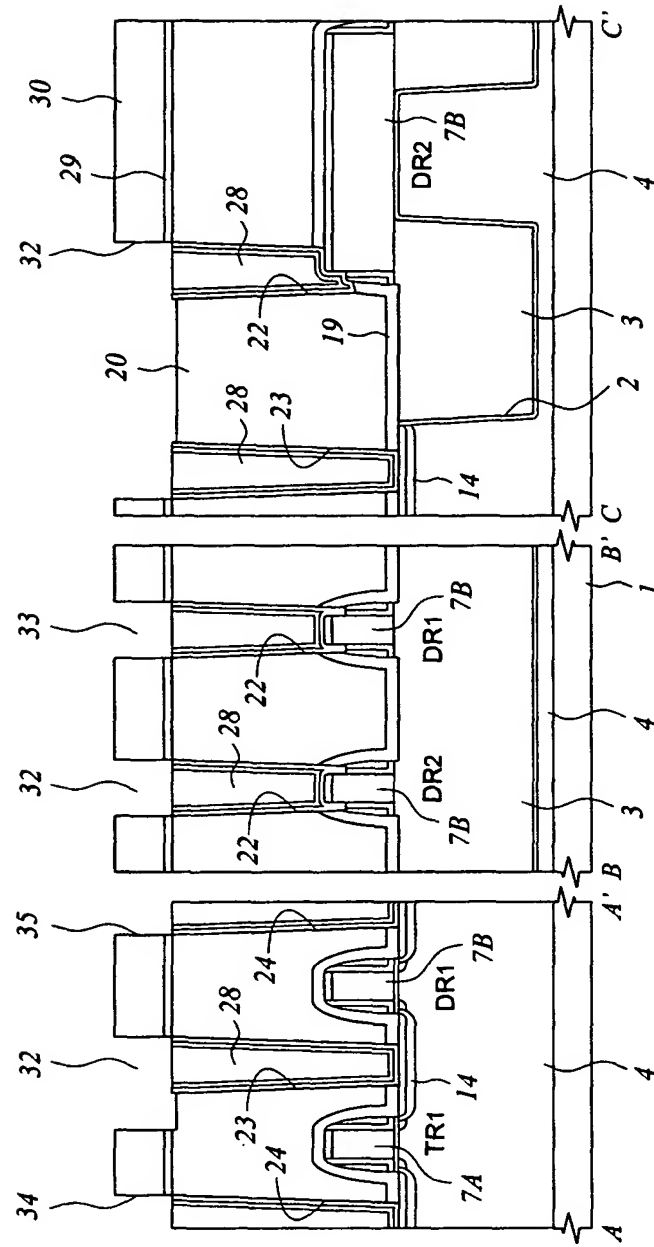


【図79】

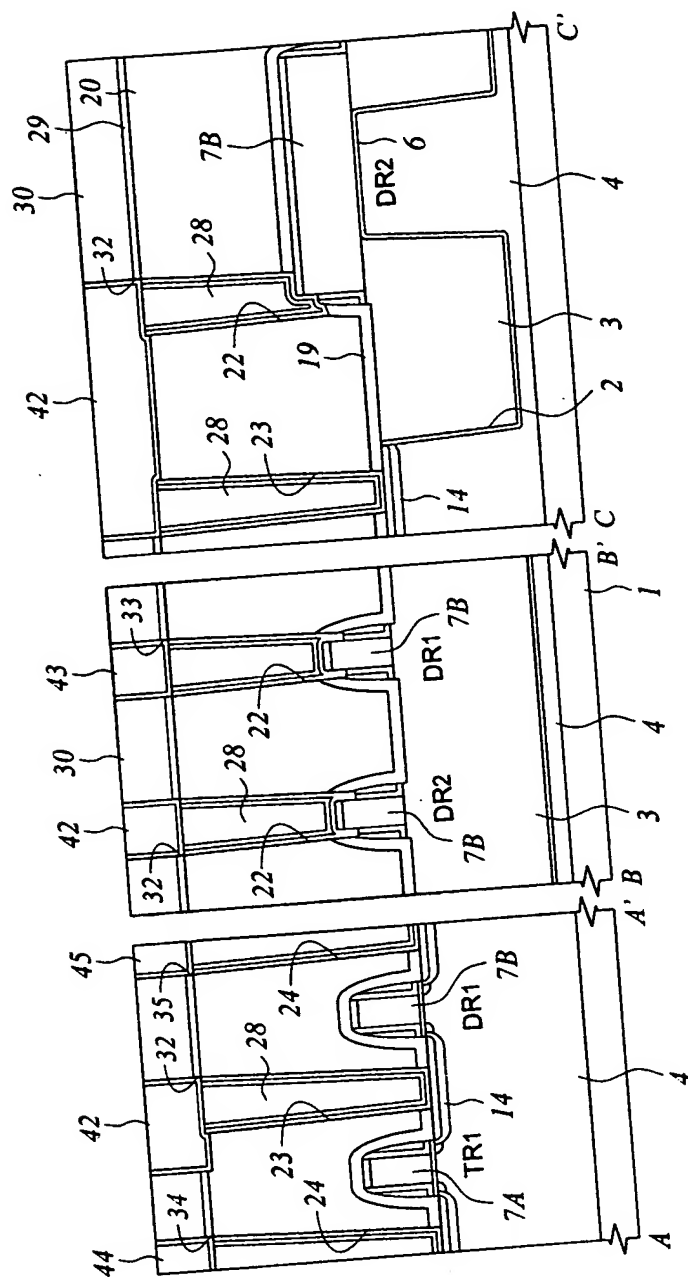


【図80】

図 80

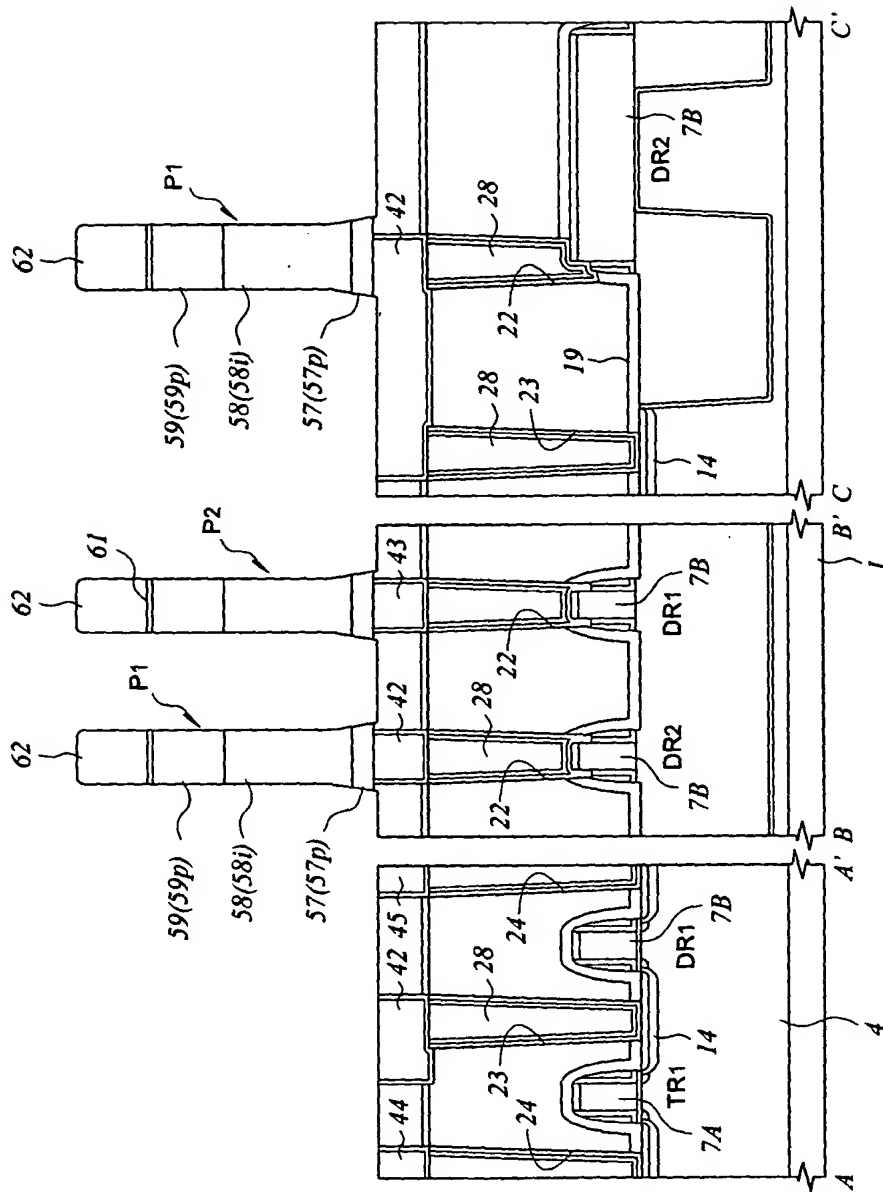


18 



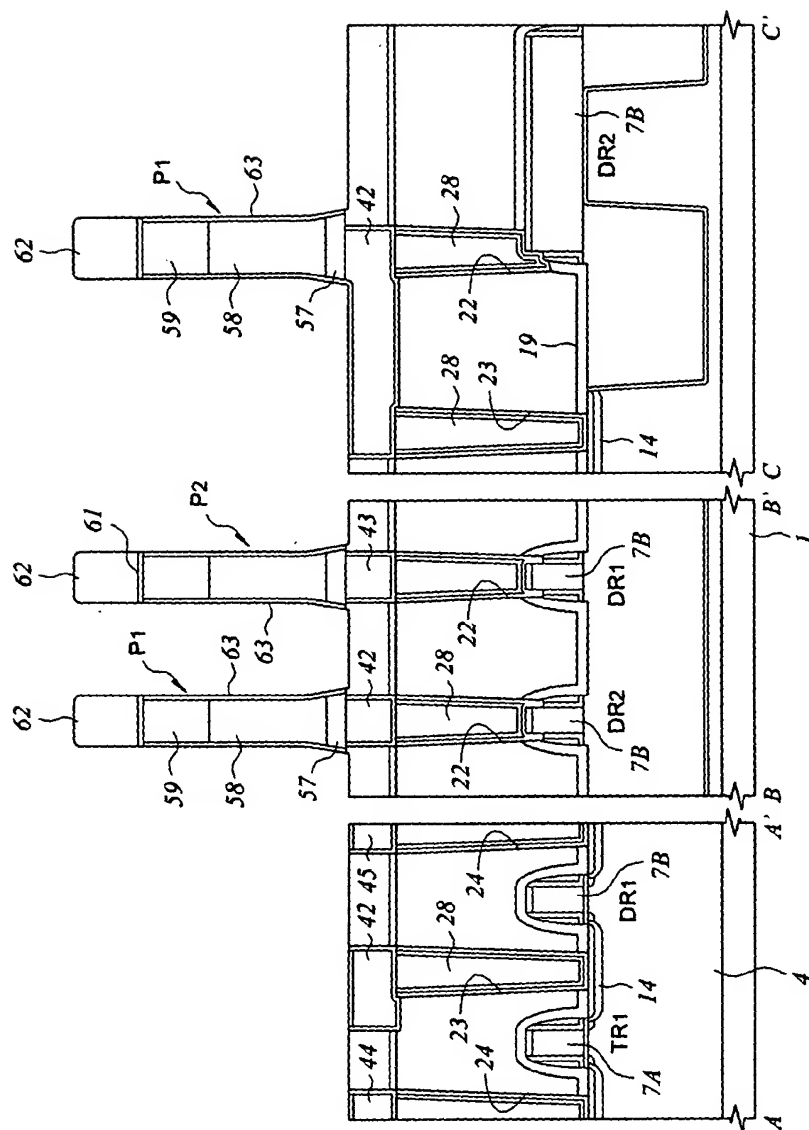
【図82】

82

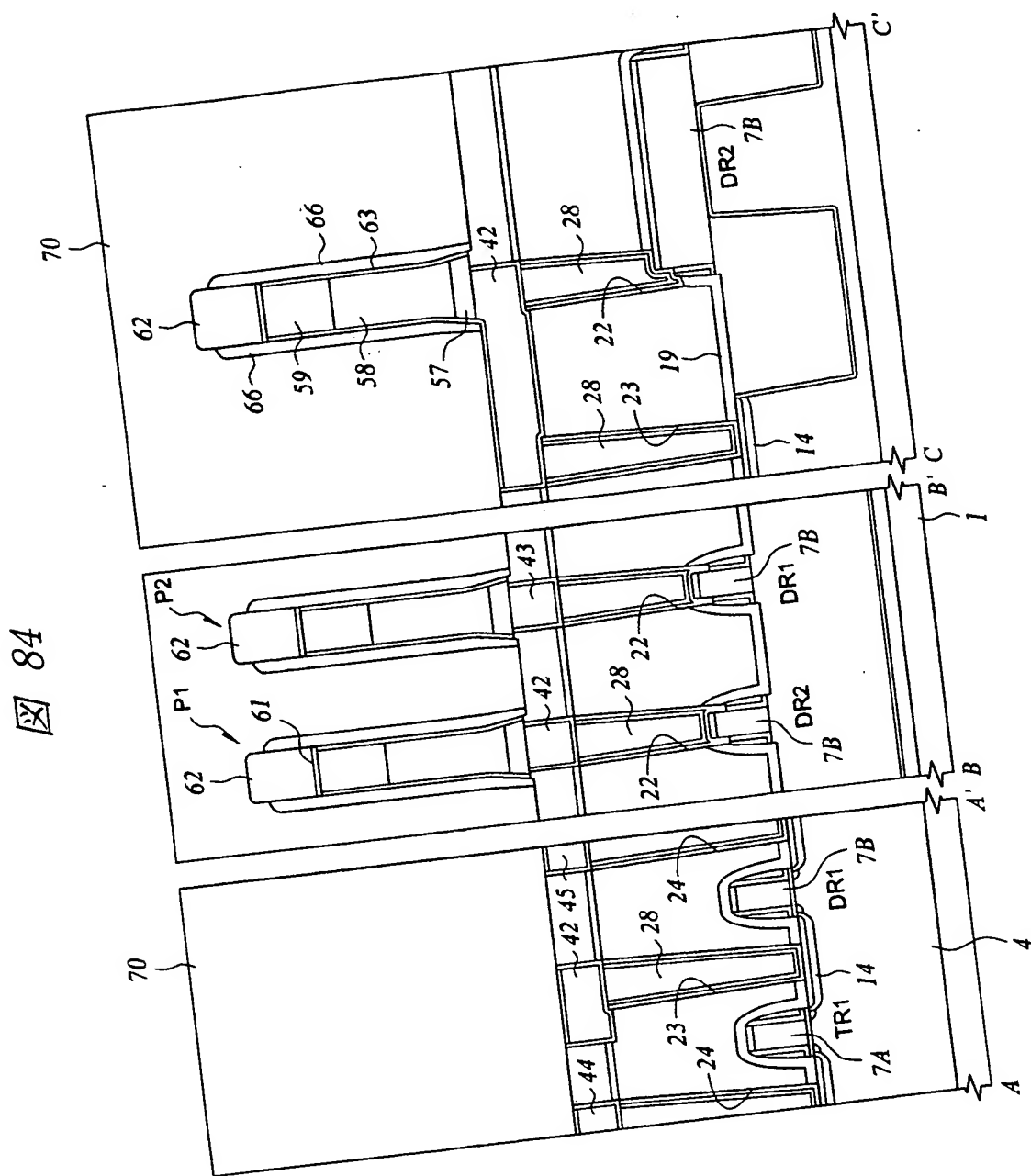


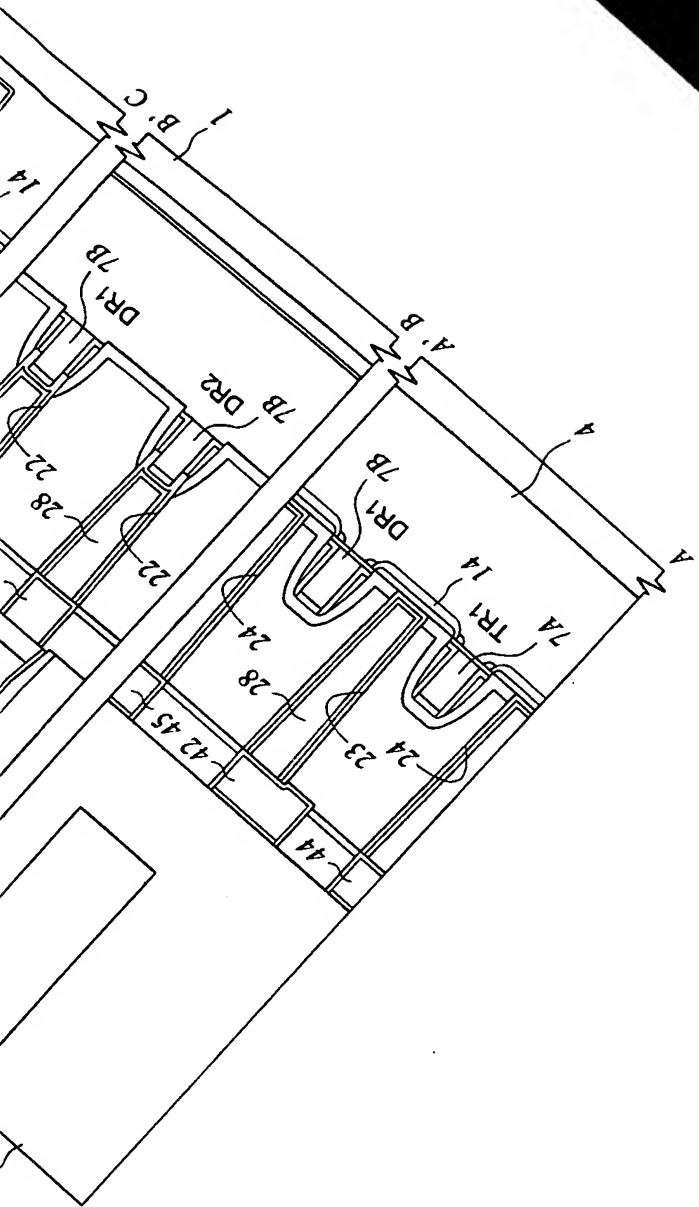
【図 83】

83



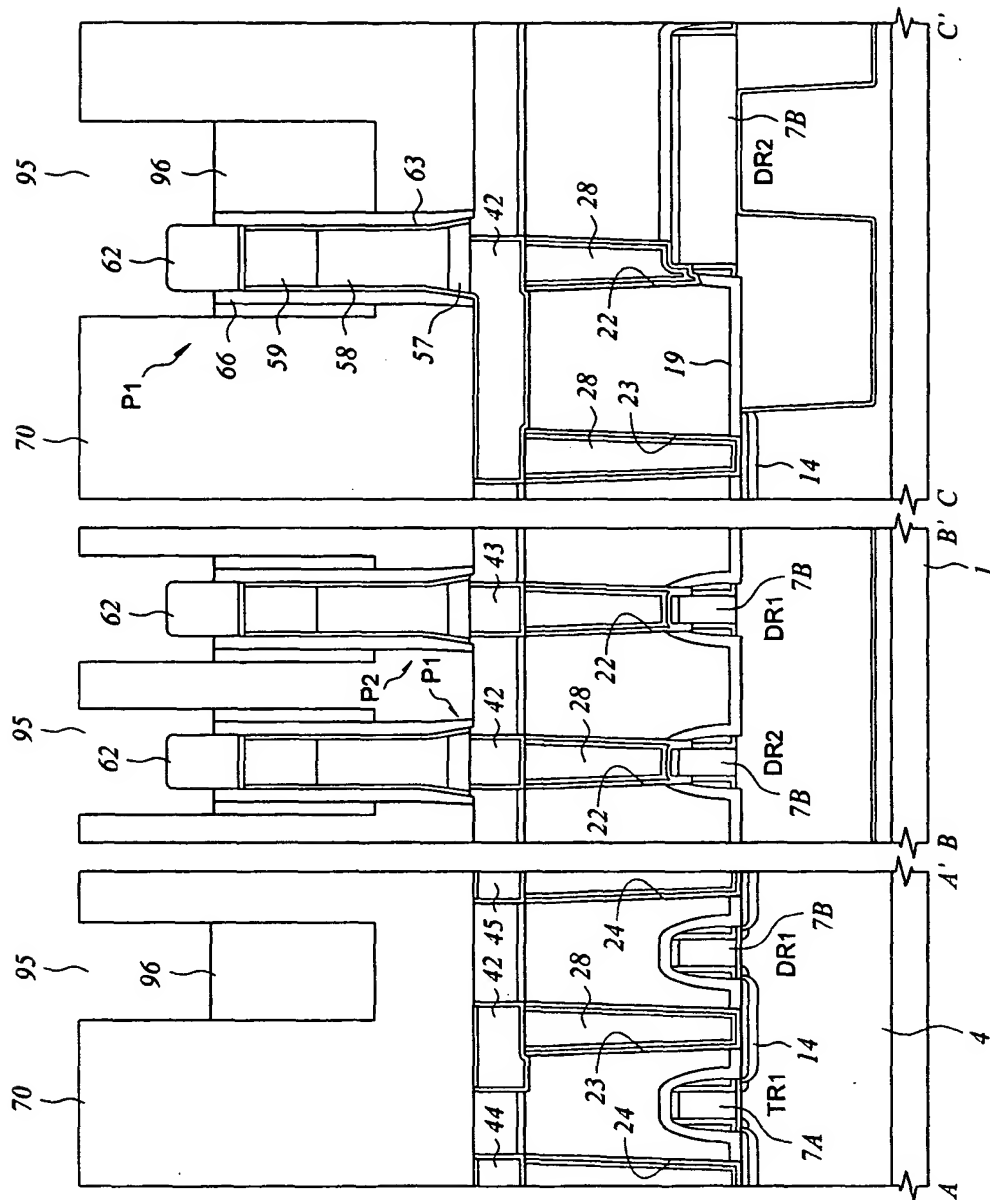
【図84】





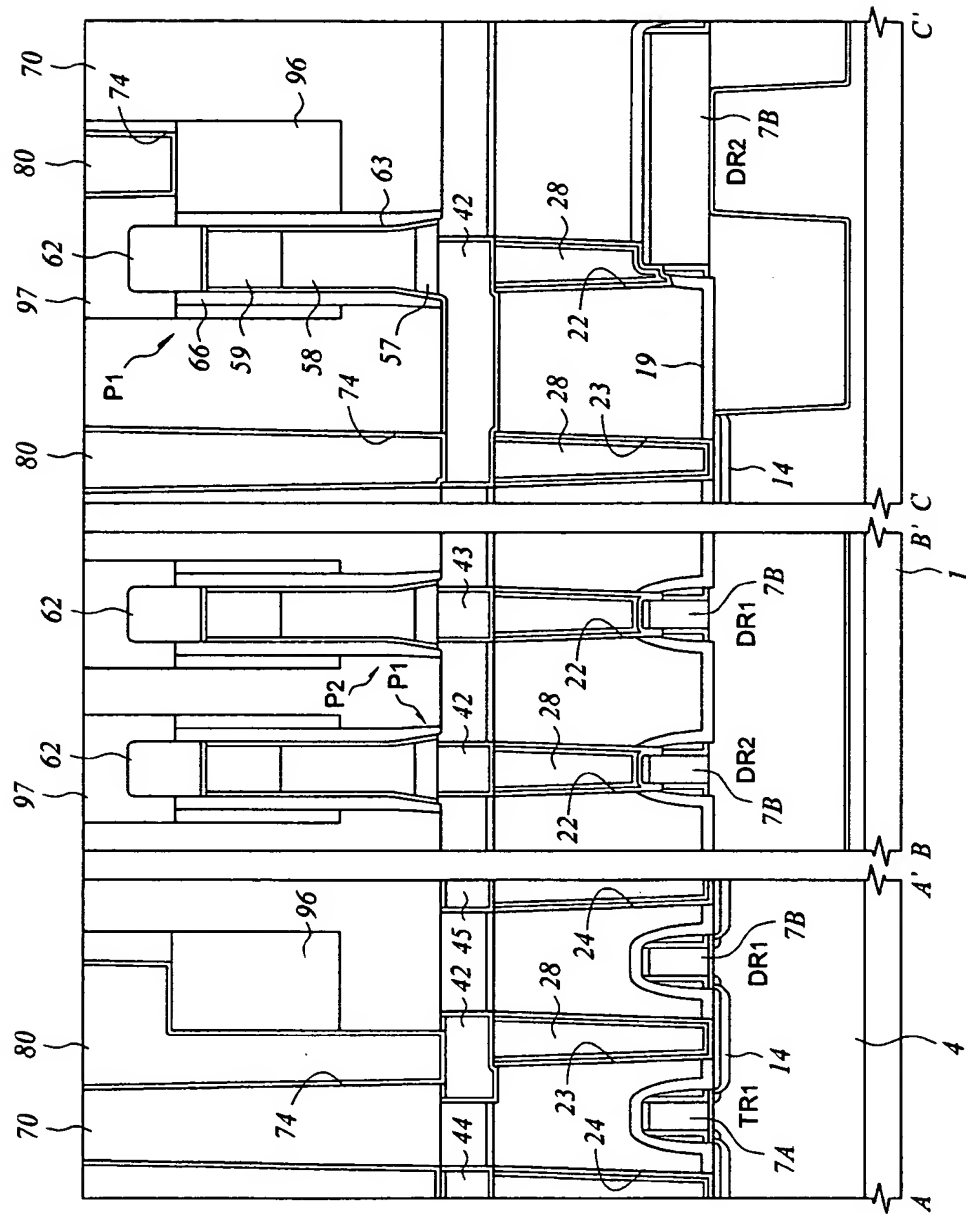
【図 86】

図 86

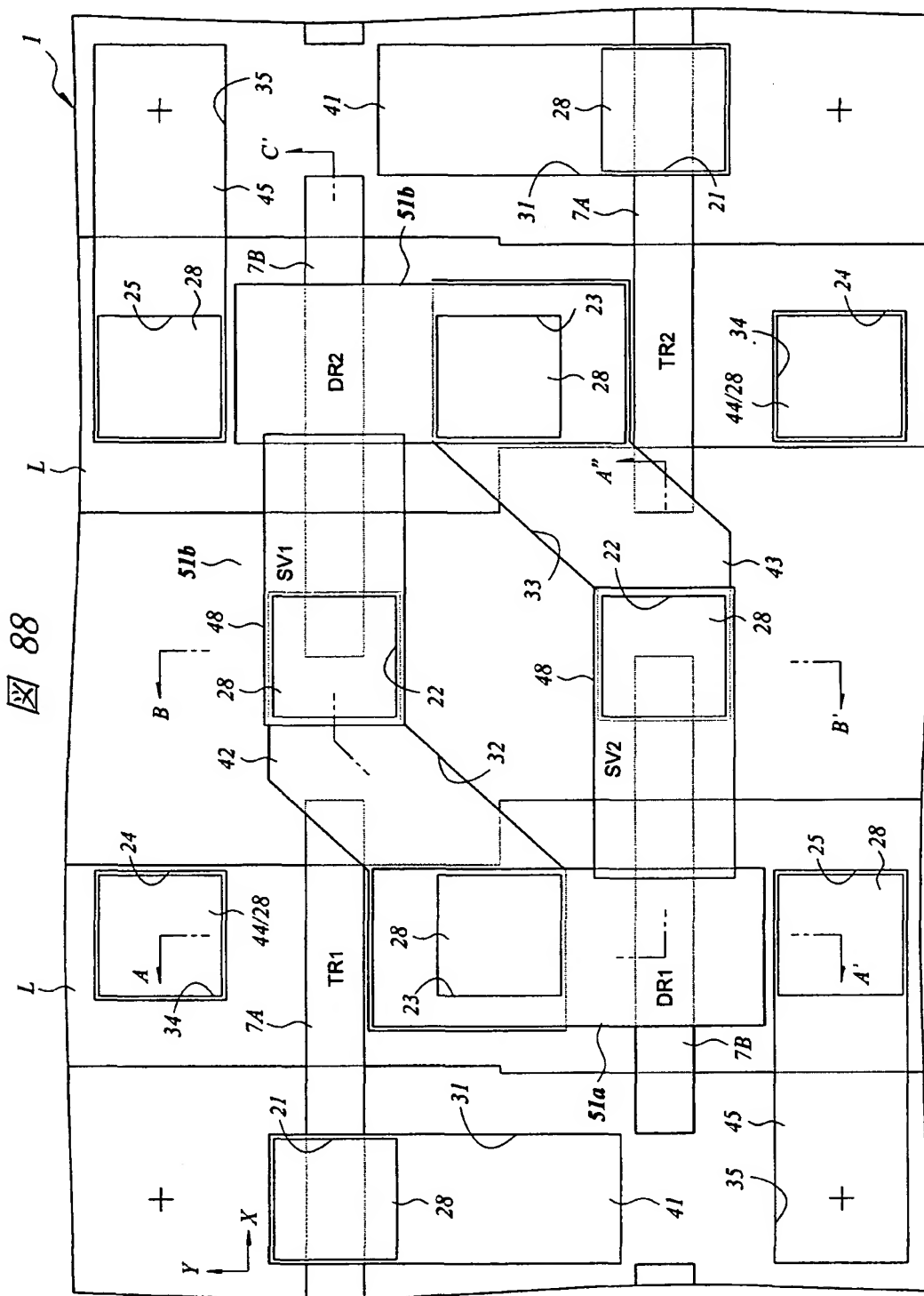


【図87】

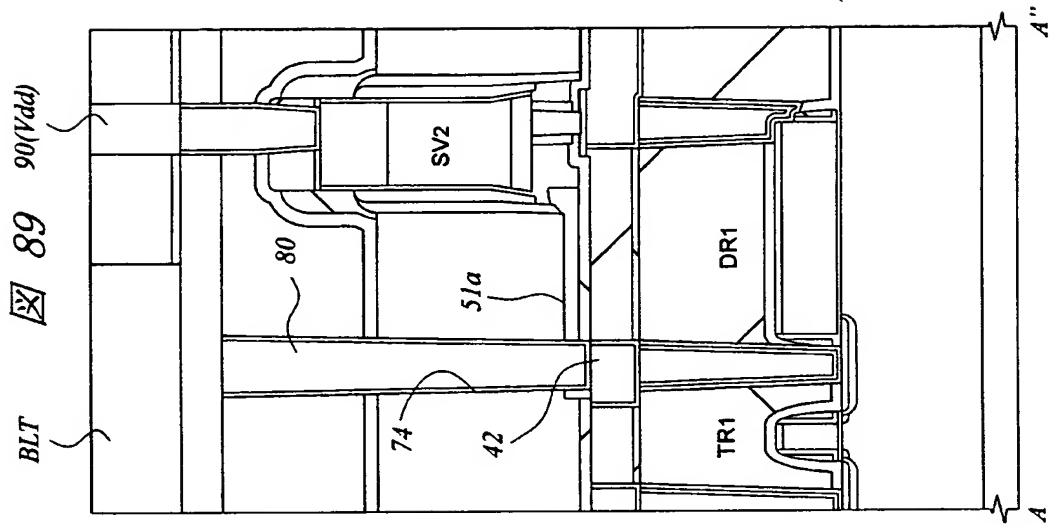
図 87



【図88】

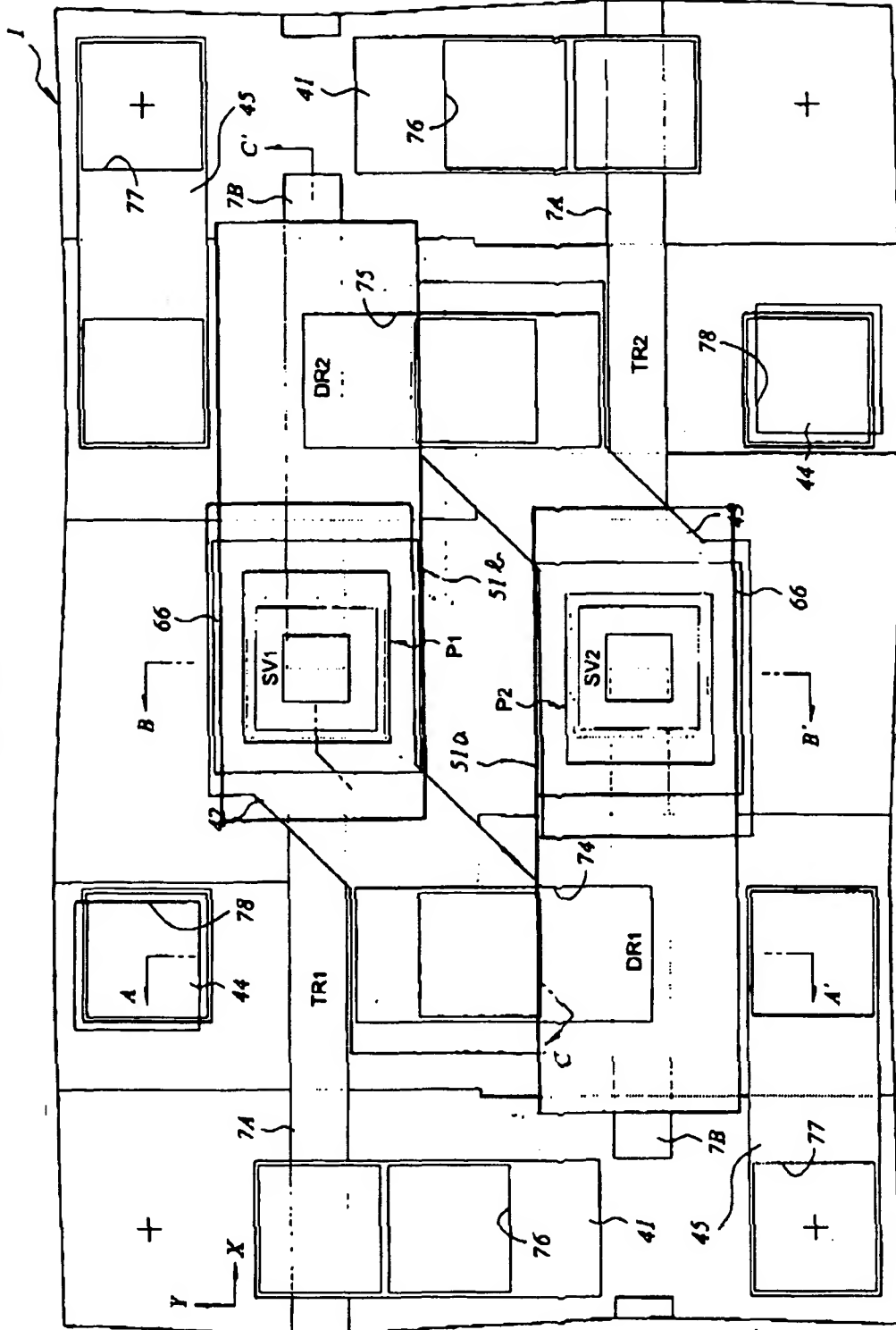


【図 8 9】



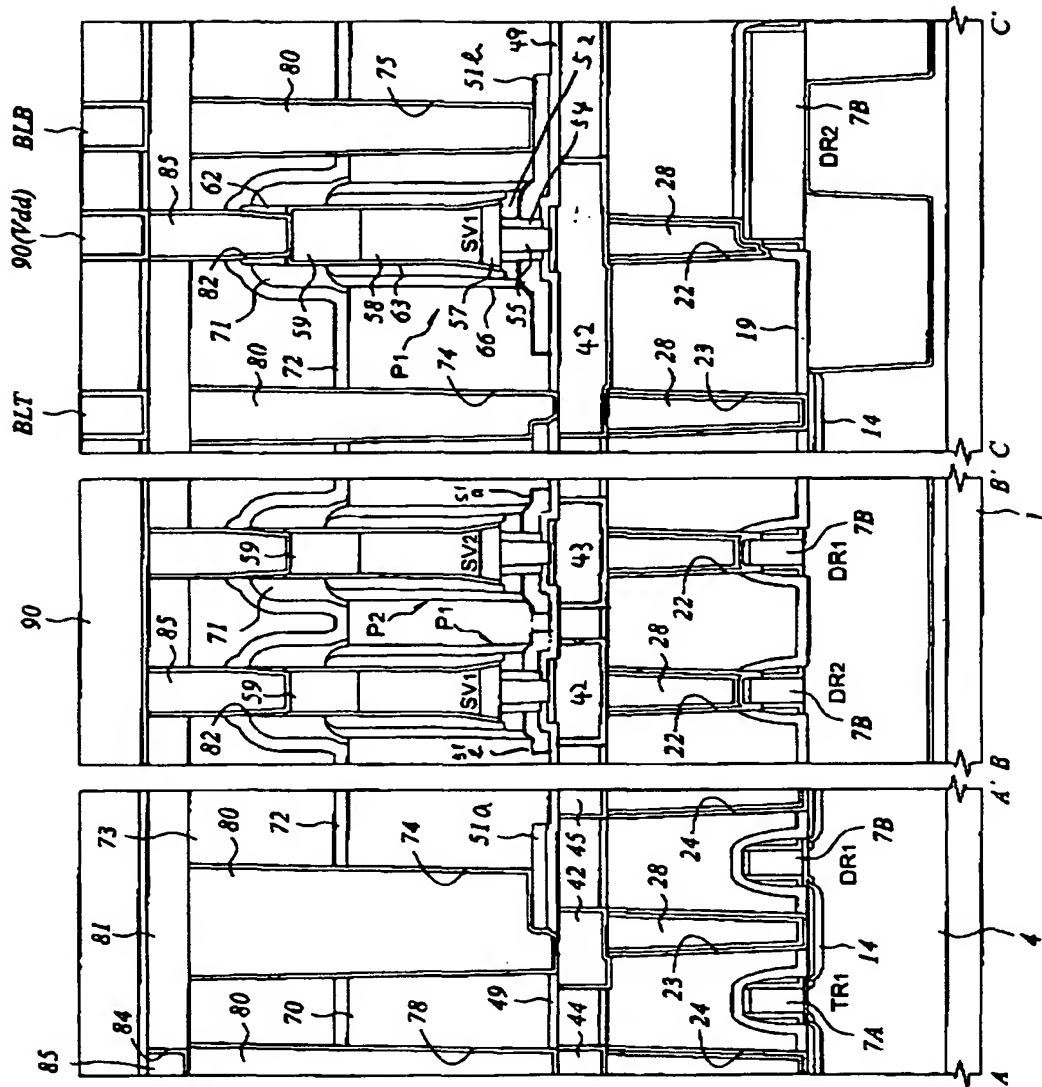
【図90】

図 90



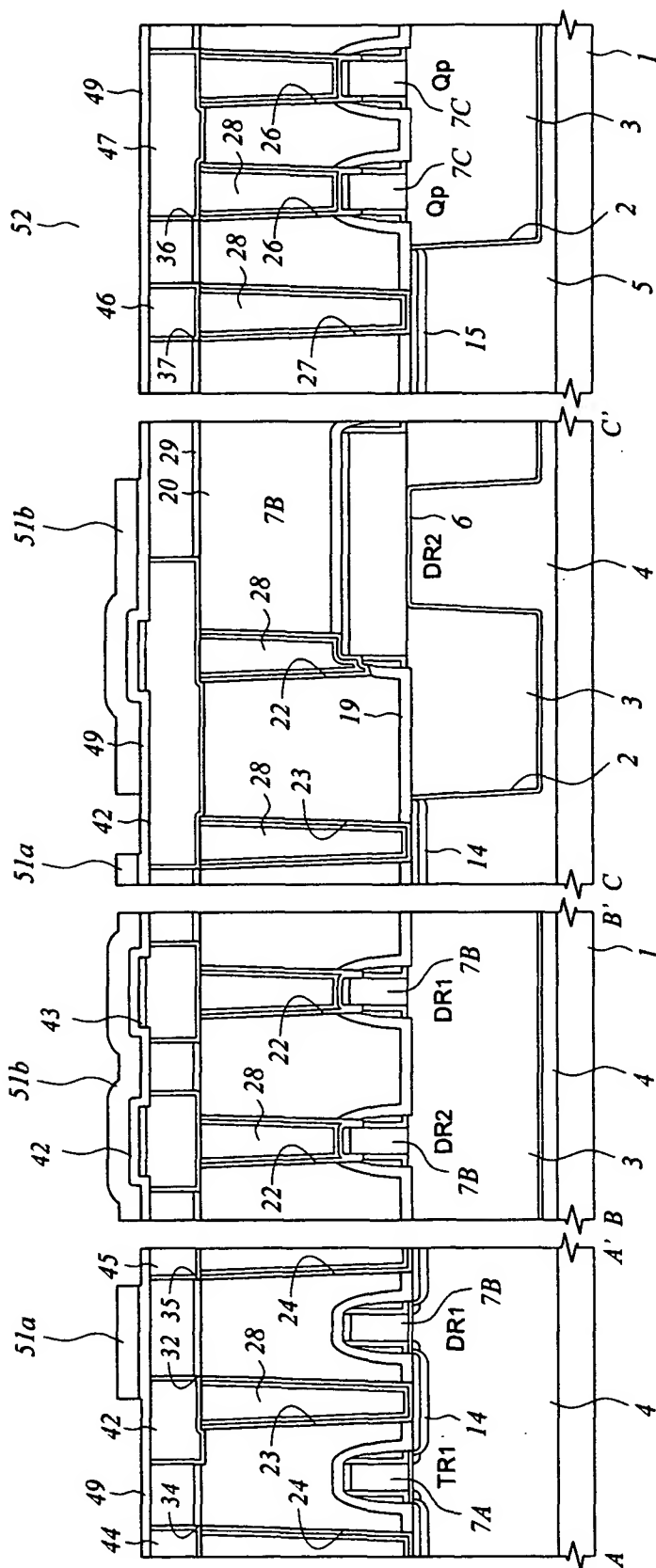
【図91】

図 91



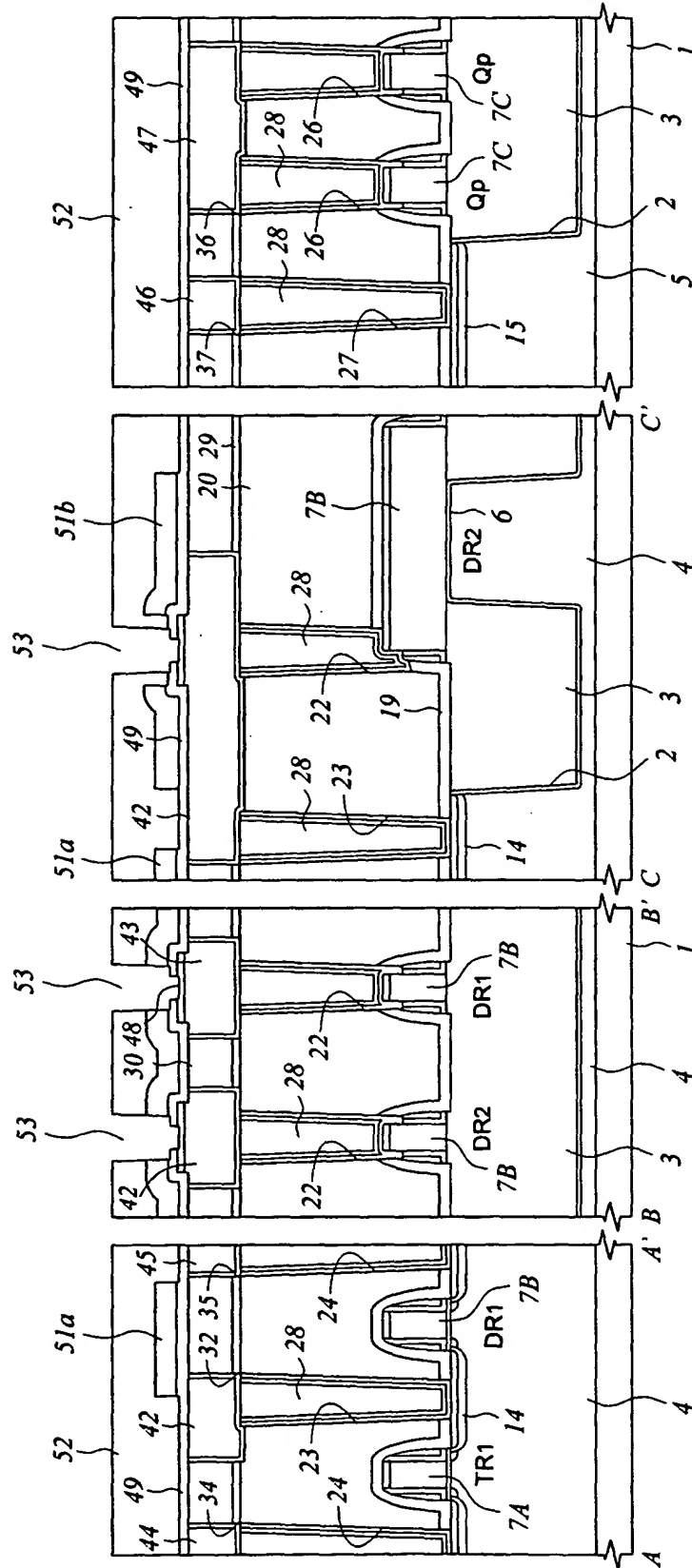
【図92】

92



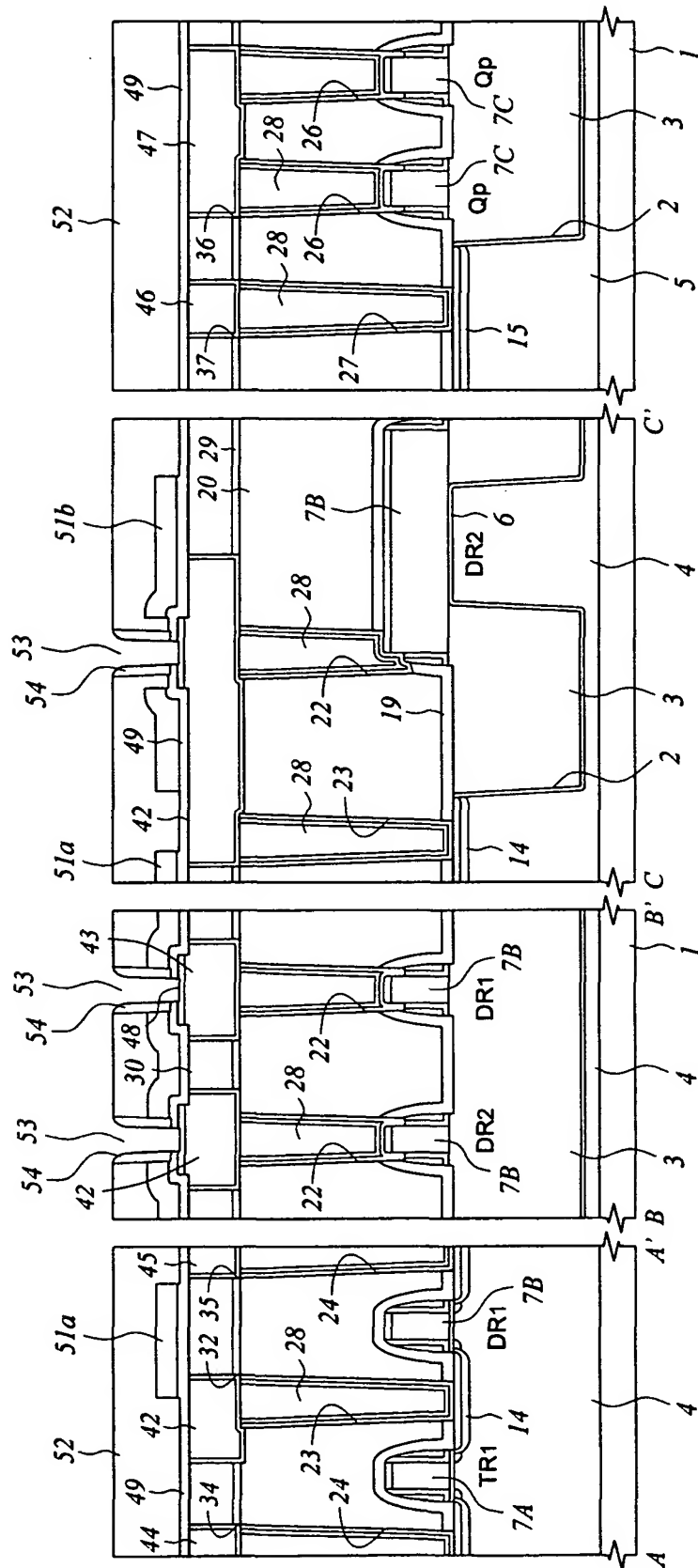
【図93】

図 93



【図94】

図 94



【書類名】 要約書

【要約】

【課題】 セルサイズを縮小することのできるSRAMを提供する。

【解決手段】 駆動MISFETおよび転送MISFETの上部には、縦型MISFETが形成されている。縦型MISFETは、下部半導体層（ドレイン）57、中間半導体層58、上部半導体層（ソース）59を積層した四角柱状の積層体（ P_1 、 P_2 ）と、この積層体（ P_1 、 P_2 ）の側壁にゲート絶縁膜63を介して形成されたゲート電極66とによって構成されている。縦型MISFETは、下部半導体層57がドレインを構成し、中間半導体層58が基板（チャネル領域）を構成し、上部半導体層59がソースを構成している。下部半導体層57、中間半導体層58、上部半導体層59の夫々は、シリコン膜で構成され、下部半導体層57及び上部半導体層59はp型にドーピングされ、p型シリコン膜で構成される。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地

氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ